



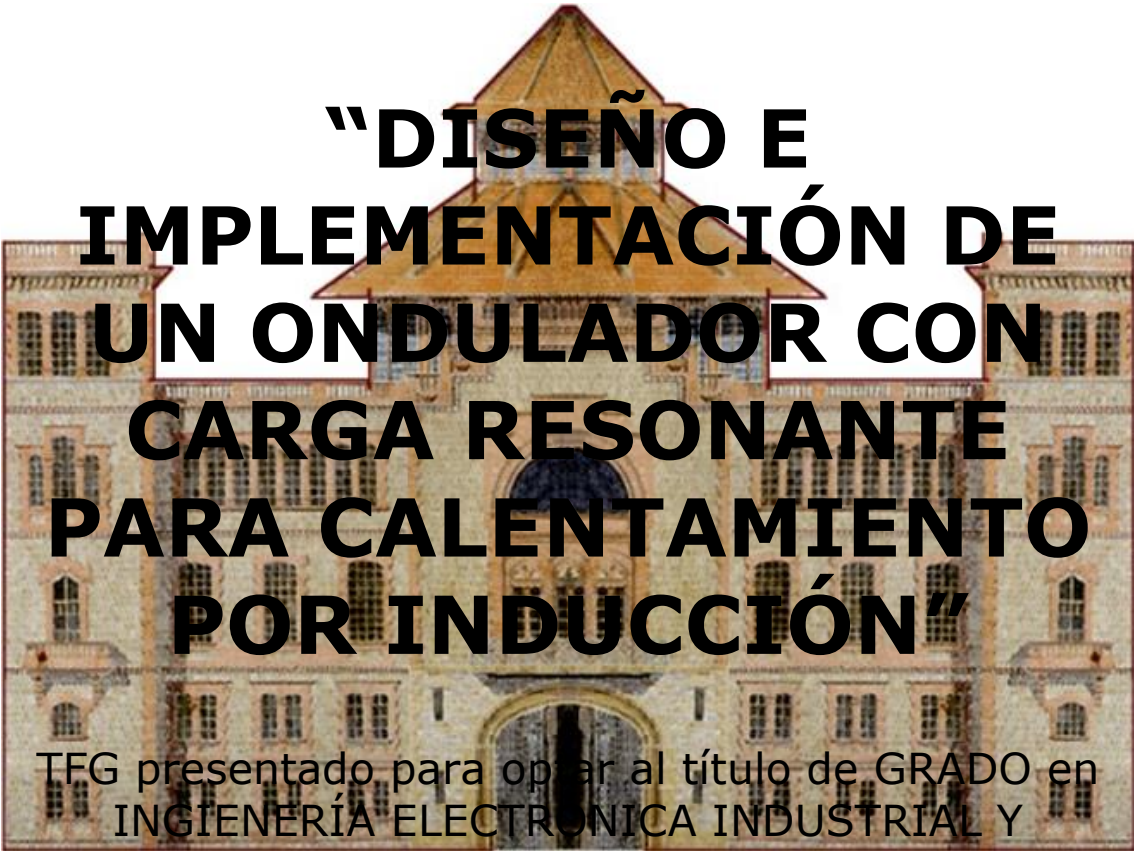
Escola Universitària d'Enginyeria  
Tècnica Industrial de Barcelona  
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

## **Volumen I**

Memoria Técnica – Memoria Económica- Esquemas  
Electrónicos

TRABAJO DE FINAL DE GRADO



# **“DISEÑO E IMPLEMENTACIÓN DE UN ONDULADOR CON CARGA RESONANTE PARA CALENTAMIENTO POR INDUCCIÓN”**

TFG presentado para optar al título de GRADO en  
INGENIERÍA ELECTRÓNICA INDUSTRIAL Y

AUTOMÁTICA

por **Manuel Martínez Hortelano**

Barcelona, 11 de Junio de 2014

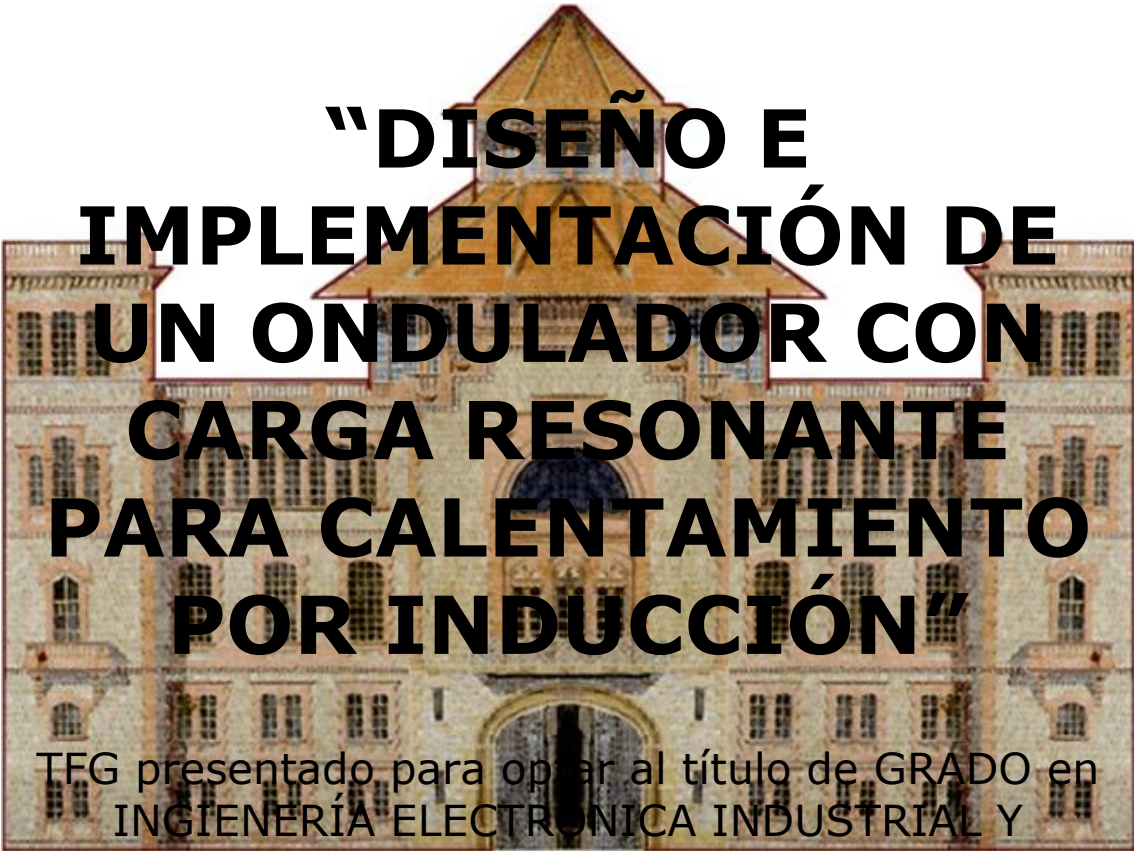
Tutor proyecto: Alfonso Conesa Roca  
Departamento de Ingeniería Electrónica (DEEL)  
Universitat Politècnica de Catalunya (UPC)



Escola Universitària d'Enginyeria  
Tècnica Industrial de Barcelona  
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

## Memoria Técnica



# “DISEÑO E IMPLEMENTACIÓN DE UN ONDULADOR CON CARGA RESONANTE PARA CALENTAMIENTO POR INDUCCIÓN”

TFG presentado para optar al título de GRADO en  
INGIENERÍA ELECTRÓNICA INDUSTRIAL Y

AUTOMÁTICA

por **Manuel Martínez Hortelano**

Barcelona, 11 de Junio de 2014

Tutor proyecto: Alfonso Conesa Roca  
Departamento de Ingeniería Electrónica (DEEL)  
Universitat Politècnica de Catalunya (UPC)

# ÍNDICE MEMORIA

ÍNDICE MEMORIA .....	- 1 -
RESUMEN .....	- 3 -
RESUM .....	- 3 -
ABSTRACT .....	- 4 -
<b>CAPÍTULO 1: INTRODUCCIÓN</b> .....	- 5 -
1.1. Objetivos .....	- 6 -
1.2. Inducción magnética y corrientes de Foucault.....	- 7 -
1.3. Convertidores estáticos (ondulador) .....	- 9 -
1.4. Frecuencia de resonancia .....	- 11 -
1.4.1.Circuito resonante serie .....	- 11 -
1.4.2.Circuito resonante paralelo.....	- 12 -
1.4.3.Circuito resonante mixto.....	- 13 -
<b>CAPÍTULO 2: FUNCIONAMIENTO DE LA APLICACIÓN</b> .....	- 17 -
2.1. Hardware.....	- 17 -
2.1.1.Placa de alimentación .....	- 18 -
2.1.2.Placa de control .....	- 21 -
2.1.3.Placa de potencia .....	- 32 -
2.2. Software PIC .....	- 45 -
2.2.1.Configuración inicial .....	- 46 -
2.2.2.Saludo inicial.....	- 46 -
2.2.3.Visualización información en LCD .....	- 46 -
2.2.4.Transmisión SPI.....	- 47 -
2.2.5.Selección manual de frecuencia .....	- 50 -
2.2.6.Selección automática de frecuencia .....	- 52 -
2.2.7.Programa principal .....	- 52 -
2.3. Software CPLD.....	- 54 -
<b>CAPÍTULO 3: SIMULACIONES DEL TANQUE RESONANTE</b> .....	- 57 -
3.1. Código <i>MATLAB</i> .....	- 57 -
3.2. Lluvia de hipótesis .....	- 59 -
<b>CAPÍTULO 4: PRUEBAS EN LABORATORIO</b> .....	- 65 -
4.1. Funcionamiento en vacío.....	- 65 -

4.2. Funcionamiento con carga resonante.....	- 69 -
<b>CAPÍTULO 5: CONCLUSIONES Y PROPUESTAS DE MEJORA .....</b>	<b>- 73 -</b>
<b>CAPÍTULO 6: BIBLIOGRAFÍA .....</b>	<b>- 77 -</b>
6.1. Bibliografía de referencia .....	- 77 -
6.1.1.Web .....	- 77 -
6.2. Bibliografía de consulta.....	- 78 -
6.2.1.Libros.....	- 78 -
6.2.2.Apuntes.....	- 79 -
6.2.3.Web .....	- 79 -

## **RESUMEN**

El proyecto consiste en el diseño y en la construcción de un convertidor estático (ondulador), que genera una señal con frecuencia suficiente para hacer entrar en resonancia un tanque resonante colocado a la salida. Gracias a la parte inductiva de dicho tanque, se calienta una pieza de metal ferromagnético, debido a las corrientes de Foucault que se crean en dicha pieza a partir del campo magnético producido.

La parte física del proyecto se compone de tres placas. La primera para la alimentación de la electrónica de las dos placas restantes, la segunda contiene todos los elementos de control que hace posible el funcionamiento del inversor y por último la placa que contiene todos los elementos que conforman el ondulator en sí.

En lo referente al software, se ha programado el microcontrolador mediante lenguaje C con cierta sintaxis específica para la gama de microcontroladores y utilizando un compilador específico, mientras que la CPLD se ha programado utilizando código VHDL y un compilador proporcionado por el fabricante.

En este proyecto se pretende tratar diversos aspectos de la electrónica, como por ejemplo la electrónica digital que controla el ondulator, la electrónica de potencia que compone el ondulator o el lazo de control que controla la frecuencia a generar.

## **RESUM**

El projecte consisteix en el disseny i la construcció d'un convertidor estàtic (ondulador), que genera un senyal amb freqüència suficient per ha fer entrar en ressonància un tanc ressonant col·locat a la sortida. Gràcies a la part inductiva del tanc, es calenta una peça de metall ferromagnètic, degut les corrents de Foucault que es creen en la peça a partir del camp magnètic produït.

La part física del projecte es divideix en tres parts. La primera per l'alimentació electrònica de les dues places restants, la segona conté tots els elements de control que fa possible el funcionament del inversor i per últim, la placa que conté tots els elements que formen el ondulator en si.

En el referent al software, s'ha programat el microcontrolador mitjançant el llenguatge C amb certa sintaxis específica per la gama de microcontroladors i utilitzant un compilador específic, mentre que la CPLD s'ha utilitzat

programant utilitzant el codi VHDL i un compilador proporcionat pel fabricant.

En aquest projecte es pretén tractar diversos aspectes de la electrònica, com per exemple la electrònica digital que controla l'ondulador, la electrònica de potencia que compona l'ondulador o el llaç de control que controla la freqüència a generar.

## **ABSTRACT**

The objective of the project is to design and construct a static conveyor (inverter). This inverter must generate a signal with enough frequency to do resonate a resonant tank placed in the output. The impedance of the tank must heat a ferromagnetic metal piece due the Foucault currents present in the piece due the magnetic field produced in the inductance.

The physical part of the project is composed of three plates. The first one to produce the supply voltage for the electronics of the rest, the second one contain all the control elements that make possible the operation of the inverter and the last one contain all the elements of the inverter.

Regarding the software, a microcontroller has been programed through C language with a specific syntax for the microcontroller spectrum and a specific compiler has been used, meanwhile the CPLD has been programed using VHDL language and a compiler provided by the manufacturer.

In this project is pretended to treat some aspects of the electronics, such as digital electronics that controls the inverter, power electronics that compose the inverter or the control loop that control the frequency to create.

# CAPÍTULO 1:

# INTRODUCCIÓN

La sociedad ha tenido siempre la necesidad de procesar con temperatura ciertas cosas, ya sean alimentos en los casos más básicos, como metales para fundir en casos un poco más complejos, o incluso tratamientos para ciertos objetos como podrían ser cables. En los últimos tiempos el método eléctrico para calentar cosas se ha hecho un hueco entre las posibilidades que existen. El método eléctrico más eficaz energéticamente hablado es sin duda el de calentar una resistencia por efecto Joule y así calentar lo que sea necesario por conducción o convección (como podría ser el caso de una estufa eléctrica). Pero existen ciertos procesos que por la topología del objeto, o por las necesidades del proceso en si en los cuales no se puede colocar una resistencia eléctrica, es en esos casos donde la inducción es necesaria.

En este proyecto se realiza un tipo de convertidor estático (un ondulator) con el fin de modular la señal que se le envía a una carga preparada para la inducción magnética. La principal forma de controlar la temperatura que alcanza el objeto metálico con un nivel de voltaje de alimentación fijo, es a partir de la frecuencia que se le impone a la alimentación.

Esta memoria técnica se compone de seis capítulos. El primero de todos hace referencia a los objetivos a cumplir en el proyecto y también a la base teórica que sostiene toda la aplicación. El segundo capítulo hace referencia a cómo y porque se han diseñado cada una de las placas que componen el ondulator, tanto en lo que se refiere al *hardware* como al *software*. El tercer capítulo trata sobre las simulaciones que se han llevado a cabo para calcular cual será la frecuencia optima de trabajo del ondulator y como afecta el valor de los elementos de la carga a dicha frecuencia. El cuarto capítulo hace referencia a las pruebas que se han realizado en el laboratorio para comprobar la funcionalidad del convertidor. En el quinto capítulo se extraen ciertas conclusiones a partir de todo el desarrollo anterior y además se proponen ciertas mejoras que podrían llegar a introducirse en el proyecto. Por ultimo en el sexto capítulo se expone toda la bibliografía usada para el desarrollo del proyecto y el de la memoria.

## 1.1.Objetivos

El principal objetivo de este proyecto es el de diseñar y construir un ondulator con el cual poder calentar piezas de metal gracias al fenómeno físico de la inducción magnética.

Para llevar a cabo este fin se han ideado unas metas u objetivos intermedios como pueden ser:

- El diseño de unas placas PCB que contengan el ondulator y su electrónica de control, y su posterior creación física a partir de métodos artesanales.
- Diseñar un ondulator fiable con componentes al alcance del usuario, así como conseguir un tratamiento adecuado de las señales enviadas y recibidas mediante filtros y acondicionamientos, para prevenir fallos del sistema.
- El estudio del fenómeno físico de la inducción, así como el de la resonancia de un tanque C-L.
- Adaptar el funcionamiento del ondulator a la necesidad de colocarle a la salida un tanque resonante, solventando todas las posibles complicaciones que puedan surgir.
- Diseñar toda la electrónica de control, así como el lazo de control por lectura de corriente que controla de manera automática el ondulator.
- La programación de un microprocesador para el cálculo de frecuencia, la programación de una CPLD para el correcto proceso de las señales y la ampliación de conocimientos de ambos lenguajes de programación (VHDL y C).
- La correcta programación de un elemento a partir de otro elemento programable por un bus SPI.
- Realizar un sistema de fácil manejo por parte del usuario, a partir de cuatro simples botones a través de los cuales el usuario pueda ajustar la frecuencia del sistema y navegar por los diferentes modos, con un LCD que informe al usuario del estado del sistema en todo momento.



## 1.2.Inducción magnética y corrientes de Foucault

La inducción magnética es el fenómeno que tiene lugar cuando se desplaza un campo magnético sobre un cuerpo conductor, provocando una corriente eléctrica inducida en dicho conductor. De forma análoga, todo campo eléctrico provoca a su alrededor un campo magnético de magnitud proporcional a la cantidad de corriente.

$$\varepsilon = -\frac{d\Phi}{dt} \quad (1)$$

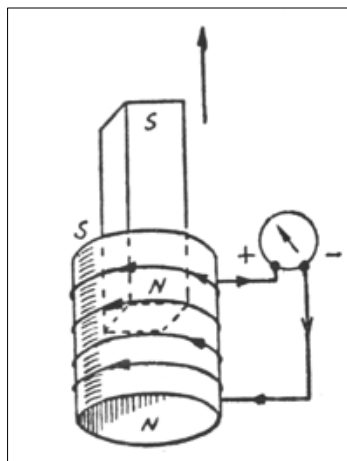
En la formula anterior se puede observar el cálculo de la f.e.m. inducida en un cuerpo como derivada del flujo de campo en el tiempo, donde  $\Phi$  es la intensidad de campo.

El símbolo negativo de la expresión es debido a la ley de Lenz, que dice que las diferencias de potencial inducidas en un conductor son de sentido contrario a la variación del flujo magnético que las induce.

$$\Phi = \vec{B} \cdot \vec{S} \quad (2)$$

La intensidad de campo es el resultado del producto del vector de campo magnético por el vector de superficie de la figura atravesada por el campo.

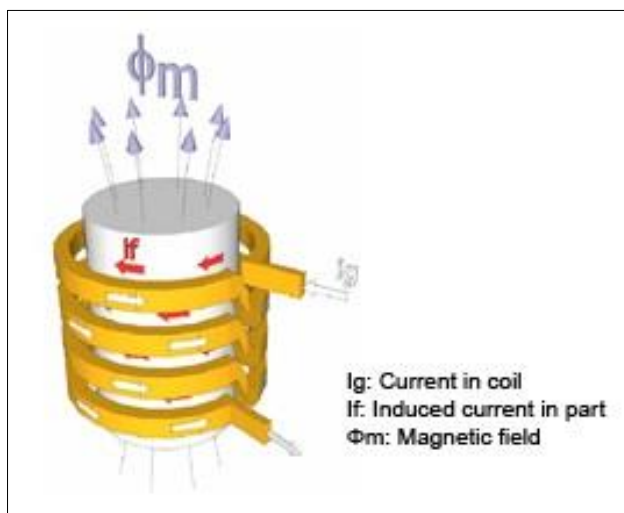
Este fenómeno fue descubierto por Michael Faraday, quien lo demostró desplazando una serie de imanes alrededor de una bobina y midiendo la corriente producida.



**Figura 1.** Campo magnético de un imán en movimiento provoca una diferencia de potencial en una bobina [1]

En un cuerpo sólido (a diferencia de un hilo como puede ser una bobina) estas corrientes inducidas circulan de una manera "desordenada" o en forma de torbellinos, estos coinciden con las zonas de la pieza con menor

resistencia, estas zonas acostumbran a estar más cerca de la superficie produciéndose el denominado efecto *skin*. Estas corrientes serán más intensas en función de la intensidad de campo que atraviese el cuerpo, por lo tanto, cuanto más en el centro del campo magnético esté el cuerpo, más potentes serán dichas corrientes. Este fenómeno fue descubierto por Léon Foucault en 1851.



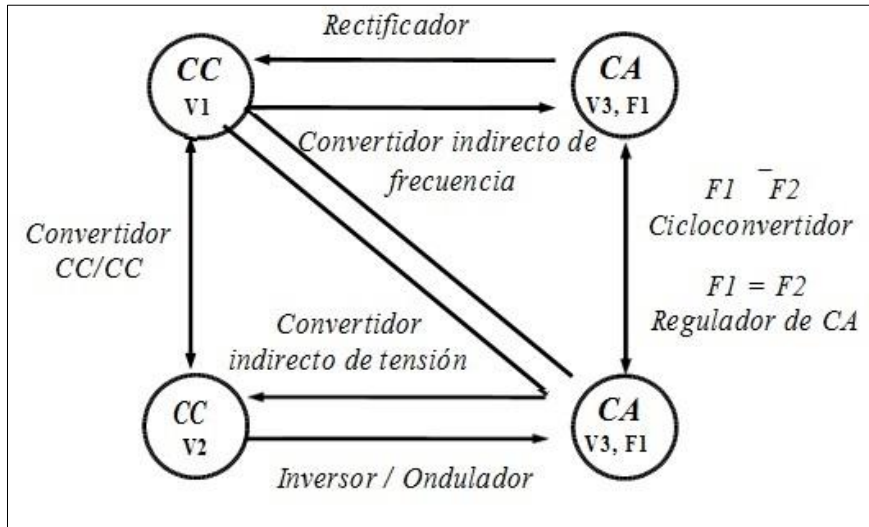
**Figura 2.** Corriente por la bobina: flechas blancas, campo provocado: flechas azules, corriente inducida: flechas rojas. [2]

La imagen anterior representa como el campo magnético provocado por una bobina en conducción, provoca unas corrientes inducidas en el cuerpo sólido de sentido contrario al sentido de la corriente por la bobina (esto muestra cómo actúa la ley de Lenz, comentada con anterioridad).

Estas corrientes crean pérdidas en la pieza en forma de calor, debido a la ley de Joule, la cual demuestra que todo cuerpo se calienta cuando se hace pasar por él una corriente eléctrica concreta, debido a la vibración de los átomos del material conductor, producida por las colisiones de los electrones que forman la corriente.

### 1.3. Convertidores estáticos (ondulador)

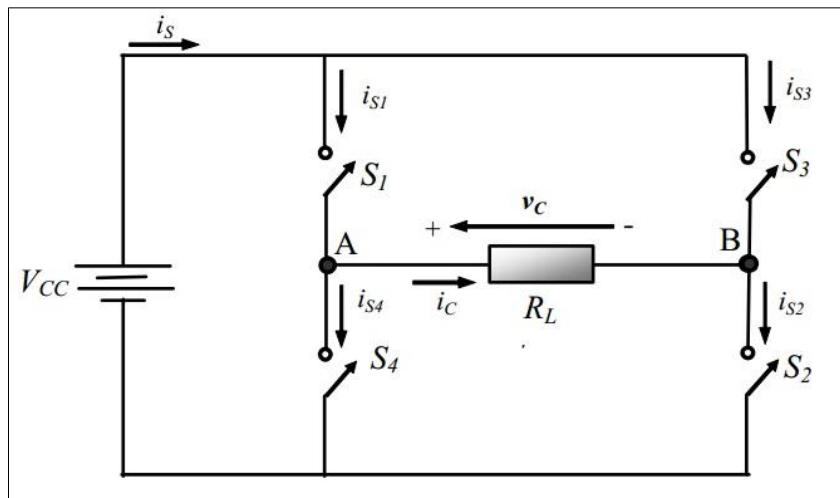
Un convertidor estático es aquel elemento que es capaz de transformar un tipo de energía eléctrica en otro sin necesidad de elementos mecánicos, como por ejemplo: transformar una señal alterna en una continua, cambiar la frecuencia de una señal alterna, etc.



**Figura 3.** Tipos de convertidores según el trabajo que efectúan [3]

Aunque para alimentar el convertidor se utiliza un rectificador (transformador variac con un puente de diodos a la salida), nos centraremos en los convertidores inversores / onduladores.

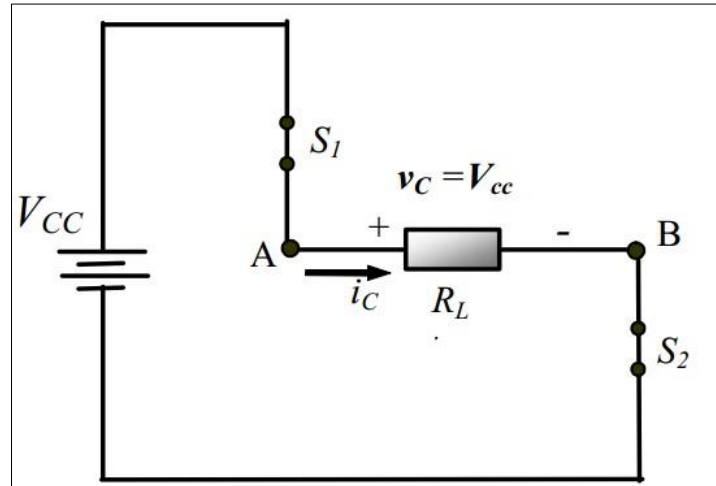
Como se puede observar en el esquema anterior, un ondulator es aquel convertidor que transforma una señal continua en una alterna. La morfología del convertidor que se aplicará será la de un puente de transistores en H o en puente completo.



**Figura 4.** Convertidor en puente completo [4]

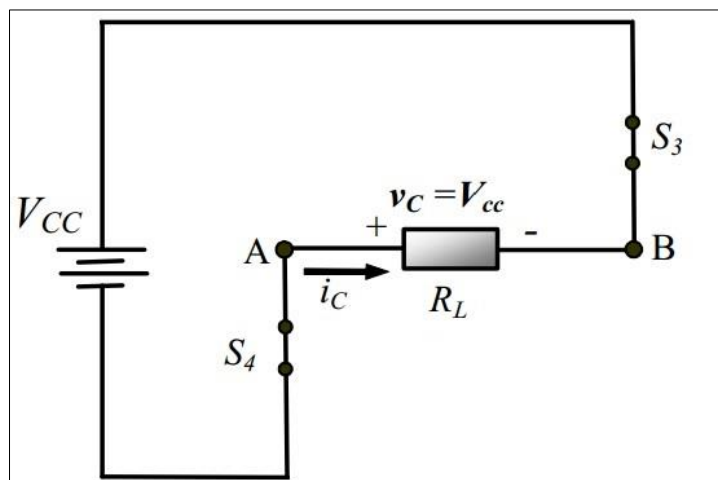
Como se ha podido observar en la imagen anterior, los interruptores son señalados con la letra S, en el diseño final esos interruptores serán constituidos por transistores.

El funcionamiento del inversor es el siguiente:



**Figura 5.** Ondulador en posición 1, S1 y S2 cierran el circuito [4]

Si se toma esta polaridad de voltaje como positiva, la carga  $R_L$  estaría alimentada con un voltaje  $+V_{cc}$  en el momento de la imagen 5.



**Figura 6.** Ondulador en posición 2, S3 y S4 cierran el circuito [4]

Con la polaridad antes tomada, la carga  $R_L$  estaría ahora alimentada con un voltaje de  $-V_{cc}$ .

Debido al cambio de polaridad observado en la carga, el voltaje resultante será una señal cuadrada con un valor RMS de  $V_{cc}$ .

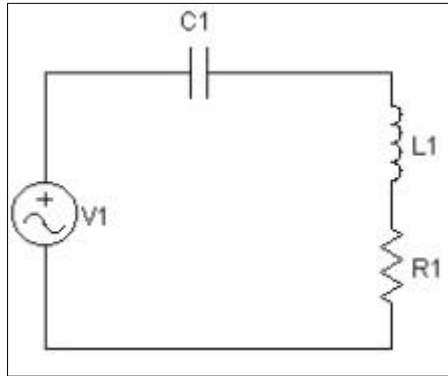
Como precaución, las parejas de interruptores S1-S4 y S3-S2, no deberán entrar en conducción juntas, debido a que si esto ocurriese la fuente quedaría cortocircuitada.

## 1.4.Frecuencia de resonancia

La frecuencia de resonancia en un circuito eléctrico, es aquella que provoca que tensión y corriente del mismo estén en fase en el caso del circuito serie y en fase opuesta en el caso del circuito paralelo. No todo circuito tiene una frecuencia de resonancia, solo aquellos que incorporen en él un elemento capacitivo y otro inductivo como mínimo. Por lo tanto el circuito puede tener un comportamiento inductivo o capacitivo dependiendo de su frecuencia.

### 1.4.1.Circuito resonante serie

Para el estudio del circuito resonante serie usaremos el siguiente modelo:



**Figura 7.** Circuito resonante serie [5]

Como se puede observar, el circuito anterior se compone de una fuente de voltaje AC y tres componentes pasivos (condensador, bobina y resistencia). La impedancia total del circuito es la siguiente:

$$\bar{Z} = R_1 + j(\omega L_1 - \frac{1}{\omega C_1}) \quad (3)$$

Los elementos que componen la impedancia son la resistencia como parte real del número polar y el cálculo de la impedancia inductiva (donde  $\omega$  es  $2\pi f$ ) menos el cálculo de la impedancia capacitiva como parte imaginaria. Los comportamientos inductivos se traducen en dicho número como ángulos positivos, tiendo un máximo de 90 grados (comportamiento inductivo puro), mientras que los comportamientos capacitivos se traducen como ángulos negativos, tiendo un máximo en -90 grados (comportamiento capacitivo puro). Por lo tanto, de este cálculo se resuelven tres posibilidades:

$$\omega L_1 < \frac{1}{\omega C_1} \quad (4)$$

En este caso la parte capacitiva tendrá más peso en el circuito, por lo tanto el circuito se comportará de manera capacitiva.

$$\omega L_1 > \frac{1}{\omega C_1} \quad (5)$$

Ahora, sin embargo, la parte inductiva es mayor, con lo cual el circuito tendrá un comportamiento inductivo.

$$\omega L_1 = \frac{1}{\omega C_1} \quad (6)$$

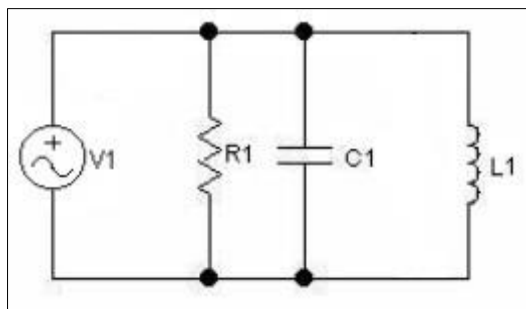
Por último, las dos componentes se anulan y el resultado de la expresión de impedancia total adoptará un resultado completamente resistivo. Esto implica que el circuito se encuentra en frecuencia de resonancia y por lo tanto, corriente y tensión están en fase. Para calcular dicha frecuencia se usa la siguiente formula:

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (7)$$

Por lo tanto si se extrae el elemento resistivo colocado en serie en el circuito, el valor de impedancia resultante será cero y por ley de ohm la corriente circulante por el mismo adoptará un valor máximo y teóricamente infinito

#### 1.4.2.Circuito resonante paralelo

Para el estudio del circuito resonante serie usaremos el siguiente modelo:



**Figura 8.** Circuito resonante paralelo [5]

Como en el caso del circuito serie, la frecuencia de resonancia será aquella que provoque que la parte capacitiva y la inductiva se igualen. Sin embargo la fórmula de impedancia total será la siguiente:

$$\frac{1}{Z} = \frac{1}{R_1} + j\left(\omega C_1 - \frac{1}{\omega L_1}\right) \quad (8)$$

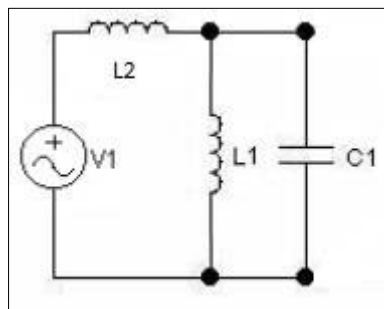
Al estar en paralelo, la inversa de la impedancia total será la suma de las impedancias inversas de cada elemento y tras simplificar obtenemos la expresión anterior.

Como ocurría en el circuito serie, existe una frecuencia tal que provoca que las dos impedancias imaginarias se anulen, siendo la impedancia total directamente el valor de la resistencia  $R1$  y por lo tanto siendo un valor real.

Sin embargo, si se elimina el elemento resistivo del circuito, el valor de impedancia total que se obtiene de la fórmula anterior presentara un máximo y teóricamente infinito. Por lo tanto, al contrario de lo que ocurría en el circuito serie, la intensidad será nula. El cálculo de la frecuencia de resonancia en un circuito paralelo sigue la misma fórmula que en el caso del circuito serie (7).

#### 1.4.3. Circuito resonante mixto

En este caso el modelo a seguir no incorpora en primera instancia ningún elemento resistivo, en vez de este, se coloca una bobina serie con un elemento inductivo y otro capacitivo en paralelo como muestra la siguiente imagen:

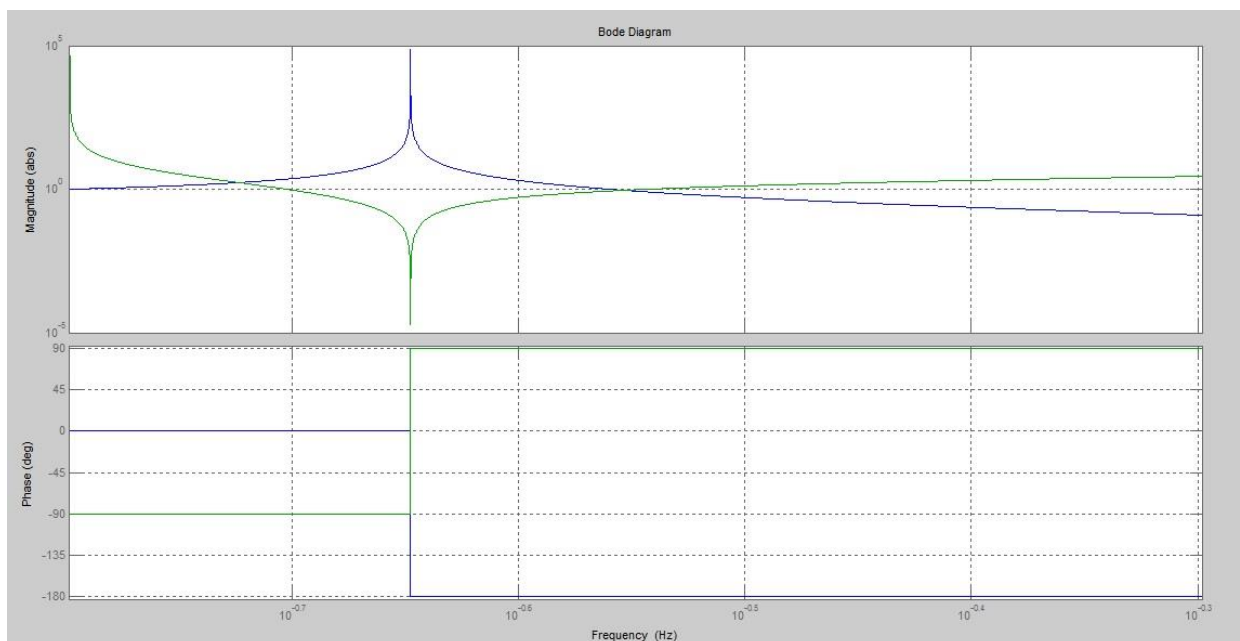


**Figura 9.** Circuito resonante mixto [5]

Este modelo correspondería a un tanque resonante para inducción sin carga en la bobina paralelo. En este circuito existen dos frecuencias de resonancia, una entre  $L2$  y  $C1$  y otra entre  $L1$  y  $C1$ . También existen tres impedancias:  $ZL1$ ;  $ZL2$  y  $ZC1$ . La impedancia total será la suma entre  $ZL2$  y la suma de los inversos de  $ZL1$  y  $ZC1$ , a esta última se la apodará  $Zp$ , mientras que  $ZL2$  será directamente  $Zs$ . La función de transferencia del modelo anterior será igual a:

$$G = \frac{Zp}{Zt} \quad (9)$$

De esta función de transferencia podemos crear un diagrama de Bode donde poder apreciar en que momento tiene lugar cada una de las frecuencias de resonancia (los elementos del circuito toman valores unitarios).



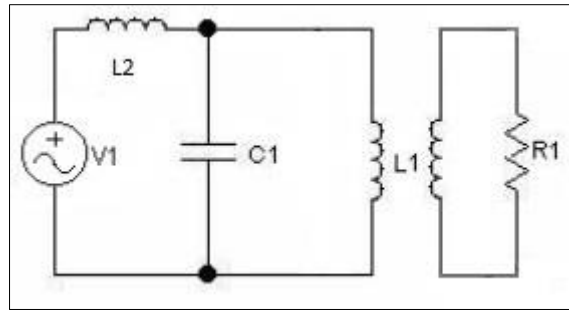
**Figura 10.** Diagrama de bode (línea de color azul: ganancia; línea de color verde: impedancia)

En el primer grafico se puede observar las gráficas de ganancia e impedancia respecto a la frecuencia. La grafica de la impedancia presenta claramente un máximo y un mínimo que corresponden con las dos frecuencias de resonancia. La primera de ellas de los elementos conectados en paralelo (L1 y C1) ya que presentan una impedancia máxima a la salida. La segunda frecuencia corresponde a la frecuencia de resonancia de los elementos conectados en serie (L2 y C1) ya que presentan una impedancia mínima a la salida. La grafica de la ganancia, por otra parte, solo presenta un máximo que coincide con la frecuencia de resonancia de los elementos serie ya que es en ese punto donde la corriente del circuito será máxima.

Esta primera grafica es contrastada con la segunda, la cual se trata del ángulo de desfase en la ganancia con color azul y el ángulo de desfase en la impedancia con color verde. En lo que se refiere a la impedancia, en un primer momento el comportamiento del sistema es capacitivo ya que el ángulo de desfase es de  $-90$  grados, mientras que a partir de la frecuencia de resonancia serie, el comportamiento del sistema pasa a ser inductivo ya que el desfase es de  $90$  grados. En cuanto al desfase de la ganancia, se observa que mientras el sistema tiene un comportamiento capacitivo, el desfase entre corriente y voltaje es de  $0^\circ$ , es decir, el voltaje y la corriente están en fase, mientras que cuando el comportamiento es inductivo el desfase es de  $180^\circ$ , es decir, voltaje y corriente son opuestas. Esto implica que en el momento de la resonancia, el desfase de la ganancia adquiere un valor de  $90^\circ$ .

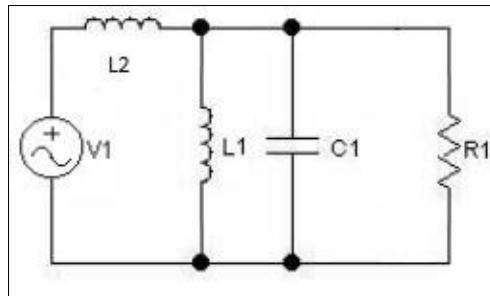
Cuando una pieza entra en el campo magnético de la bobina L1, el modelo que lo representa deberá ser el siguiente:





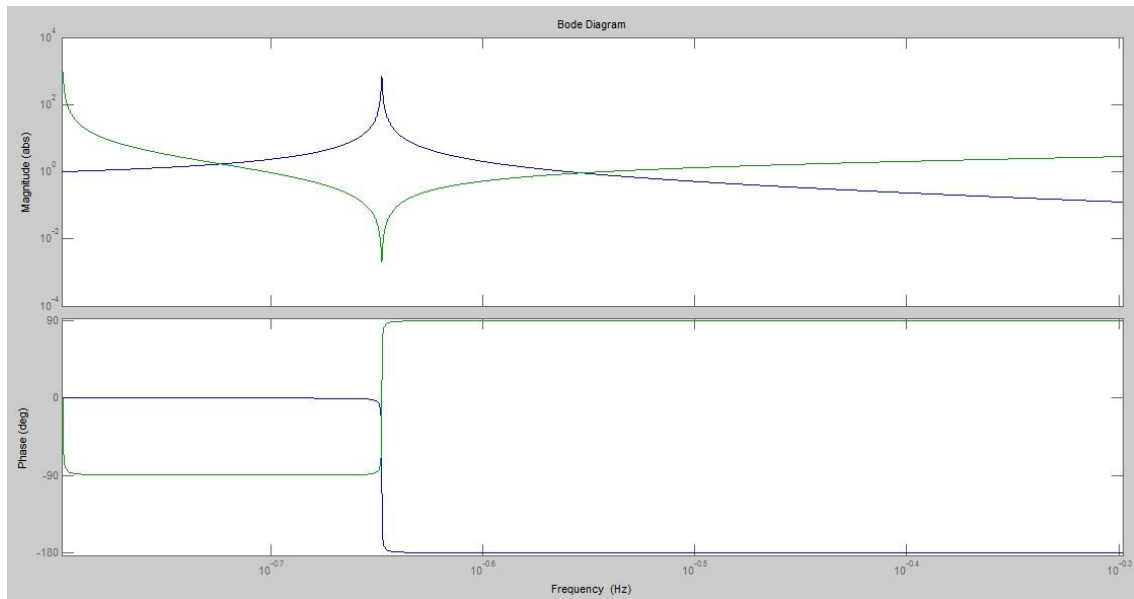
**Figura 11.** Circuito resonante mixto con carga [5]

En este caso  $R1$  representa las pérdidas que se producen en la pieza a calentar, mientras que la segunda bobina representa la transferencia de corriente por campo magnético respecto a la primera. A efectos prácticos estas dos bobinas (que forman un transformador) se puede simplificar como una sola de valor igual al de  $L1$ . Por lo tanto el circuito resultante después de esta simplificación es el siguiente:



**Figura 12.** Circuito resonante mixto con carga [5]

Este es un nuevo caso para el cual es conveniente crear otro diagrama de bode, con el objetivo de observar cómo afecta al sistema la aparición de esta carga que adoptara un valor de  $1\text{ k}\Omega$ . Cuanta más pequeña sea esta resistencia, más influye en el cálculo de la impedancia total, ya que es un sumatorio de inversas, por lo tanto un valor muy elevado influye menos que uno pequeño.



**Figura 13.** Diagrama de bode con carga de  $1\text{ k}\Omega$

En este caso se puede observar como el valor de ganancia es menor, debido a que existe una resistencia mayor que dificulta el paso de corriente. En cuanto a los desfases, los momentos de transición se suavizan ya que el valor de resistencia es mayor y el cambio de fase es más lento.

# **CAPÍTULO 2:**

## **FUNCIONAMIENTO DE LA APLICACIÓN**

### **2.1. Hardware**

Para la realización física del prototipo, se ha convenido la realización de tres placas diferentes. La primera de ellas contiene todos los elementos que conforman la alimentación de las demás placas, desde el transformador para adecuar la corriente de la red, como el puente de diodos para rectificarla. La segunda placa contiene todos los elementos de control que gobiernan el ondulator, desde un PIC para calcular la frecuencia de conmutación, una CPLD que modula la señal de control para los transistores, hasta una pantalla LCD para la lectura de información de interés. La tercera y última de las placas se compone de los elementos del ondulator en sí, como los transistores y toda la electrónica necesaria para su correcto funcionamiento o los elementos para la lectura de corriente del ondulator y errores de corriente en las diferentes ramas del inversor.

Las dos primeras placas están diseñadas para montarse una encima de la otra, con el objetivo de ahorrar espacio. La tercera no es posible montarla en cualquier otra debido a su gran tamaño, tanto el de la placa en sí como el de los condensadores de filtrado del bus de continua (bus diseñado para soportar 100 V DC).

En lo que se refiere al tanque resonante, es un montaje aparte del resto de placas, debido al gran tamaño de la bobina que realiza la inducción, además de la batería de condensadores que se conectan en paralelo con ella.

A continuación se aclararán los puntos críticos o más relevantes de cada una de las placas que conforman el prototipo, así como del tanque resonante.

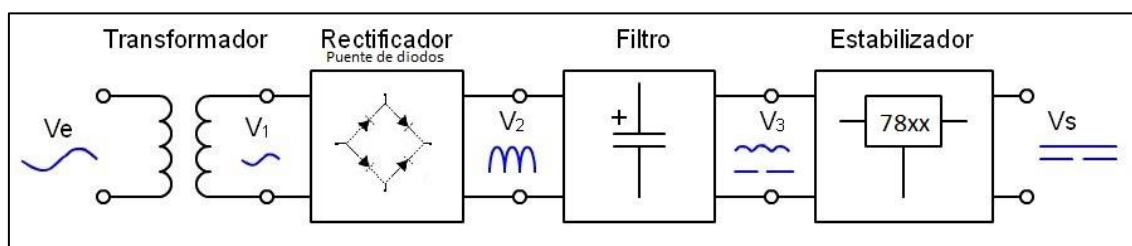
### 2.1.1. Placa de alimentación

El objetivo principal de esta placa es el de alimentar la electrónica del resto de placas de las que se compone el ondulator, tanto la destinada al control como el inversor en sí. El único punto de alimentación que requiere una generación externa, es el bus de 100 V que alimenta el tanque resonante, debido a que no era uno de los objetivos que se perseguían en este proyecto y además externamente solo se necesita un transformador variable y un puente de diodos, ya que el filtrado se realiza en la placa de potencia que próximamente se describirá.

Otro de los objetivos de dicha fuente es la sencillez de la misma. Se ha optado por diseñar una fuente lineal y no una conmutada debido al coste que podría suponer la segunda, además que las necesidades del ondulator quedan cubiertas prácticamente en su totalidad (el único punto no cubierto por la fuente, es el bus de continua previamente comentado).

La fuente se ha diseñado y construido en una placa fotosensible de una cara, con un tamaño de 100 X 160 mm

La fuente de alimentación sigue el esquema típico para una fuente lineal de sus características, el cual se muestra a continuación:



**Figura 14.** Diagrama de bloques de una fuente lineal [6]

La primera parte de este esquema es la etapa de transformación, en la cual se utiliza un transformador de 230 V - 12 V (en el transformador escogido existe la posibilidad de seleccionar 24 V a la salida del mismo, pero para la aplicación en cuestión no será necesario). Debido a que con esta placa no se alimentarán ningún tipo de elemento que exija una corriente excesivamente elevada (como sería el caso del tanque resonante) no se coloca ningún tipo de fusible. Aunque si existe riesgo de cortocircuito en las pista de alguna de las placas, se observa exhaustivamente todas ellas para eliminar este riesgo.

El siguiente punto en esta etapa de alimentación, es la rectificación de la señal, para la cual se utiliza un puente de diodos. Este elemento tiene unos límites de operación amplios (1 A de corriente máxima y 230 V) para así asegurarnos de su correcta funcionalidad.

El tercer paso a tener en cuenta en esta fuente de alimentación, es el filtrado de la señal, el cual se realizará con un condensador electrolítico de 25 V de voltaje máximo. El valor de voltaje administrado por el transformador es de 12 V con un valor de pico de 17 V, por lo tanto el valor máximo del condensador es más que suficiente.

El único paso restante para la finalización de la fuente es la regulación, es decir, adaptar la tensión a los valores deseados utilizando un regulador, habitualmente del tipo 78XX. A la salida de la placa se precisan dos salidas, una de 5 V para todos los elementos que conforman la placa de control y algún otro elemento de la placa de potencia como por ejemplo el elevador de tensión previo a los drivers de los transistores o los comparadores para la lectura del error de corriente, dicho voltaje será transportado a la placa de potencia a través de la placa de control. La otra tensión requerida en esta fuente es de 12 V, la cual se usa para alimentar elementos únicamente de la placa de potencia como pueden ser los drivers de los transistores o el ventilador que fortalece el efecto del disipador de los transistores, esta tensión será transmitida directamente a la placa de potencia.

Para conseguir estos dos voltajes, se colocan dos reguladores, un 7812 seguido de un 7805. La potencia disipada por cada uno de los reguladores seguirá la siguiente fórmula:

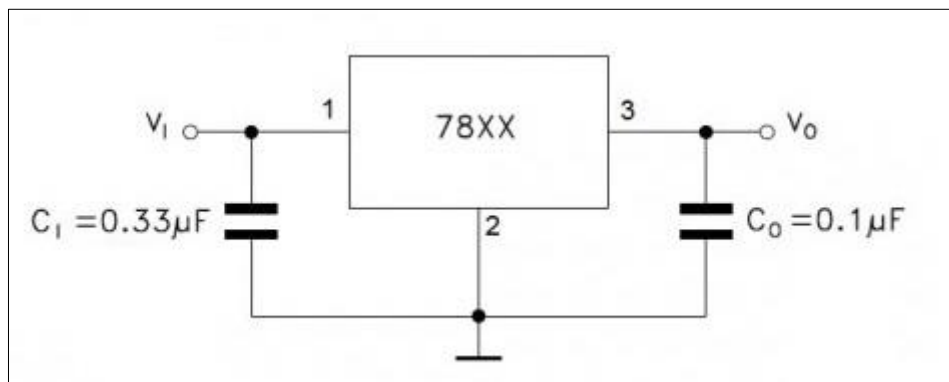
$$P = (V_i - V_o) \cdot I \quad (9)$$

Donde la corriente máxima que puede proporcionar el transformador es de 1 A, aunque no se alcanzará dicho valor, se usa para obtener un valor de potencia máxima disipada posible en los reguladores.

$$P_{Max(7812)} = (17 - 12) \cdot 1 = 5 \text{ W}$$

$$P_{Max(7805)} = (12 - 5) \cdot 1 = 7 \text{ W}$$

Estos valores de potencia no serán alcanzados en condiciones de funcionamiento normal, por lo tanto no es necesario colocar un disipador para cada uno de los reguladores.

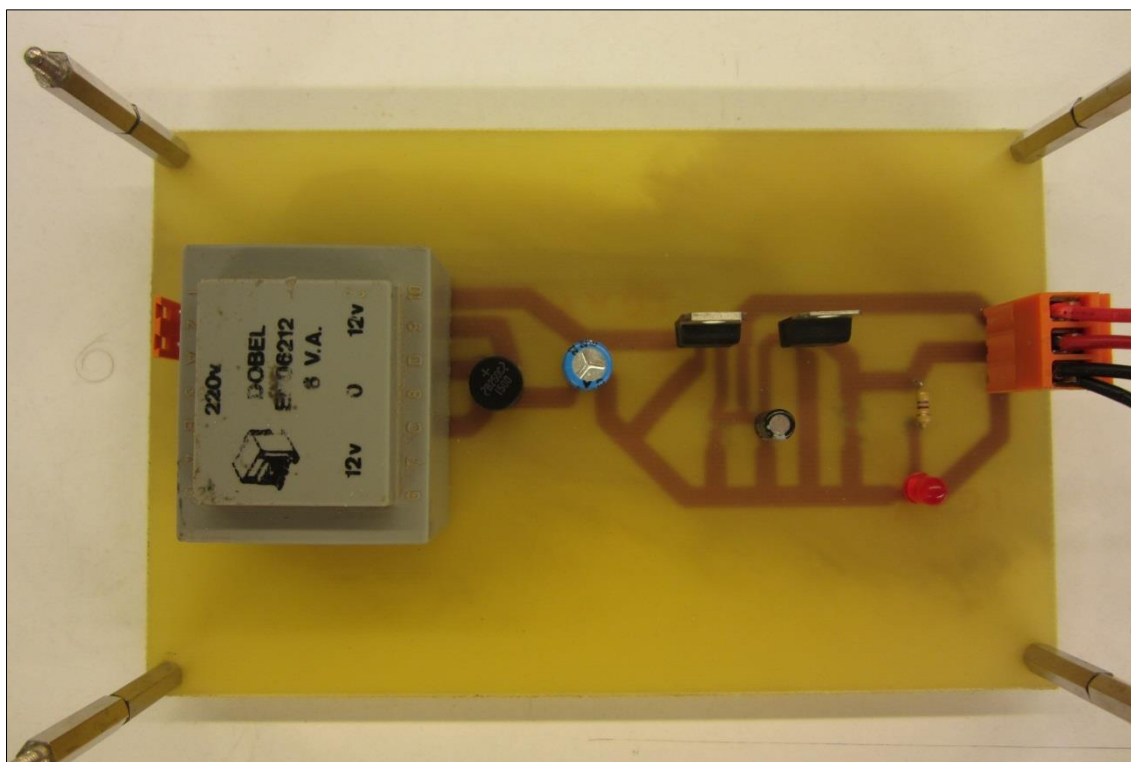


**Figura 15.** Esquema típico para un regulador de tensión

Comentar que el regulador 7812 utiliza como condensador de entrada el mismo condensador que se utiliza en el filtrado de la señal.

Por último se coloca un diodo LED rojo (intensidad entre 2 y 10 mA, tensión 1,8 V) junto con sus resistencias limitadoras correspondientes en cada una de las salidas para tener una comprobación visual del correcto funcionamiento de la fuente de alimentación.

Una vez finalizada la etapa de diseño de la fuente se procede a la realización de un *layout* utilizando el *software EAGLE de CADSoft*. Una vez realizada la placa de circuito impreso, taladrada y soldada, se tiene lista la fuente de alimentación lineal del ondulator.



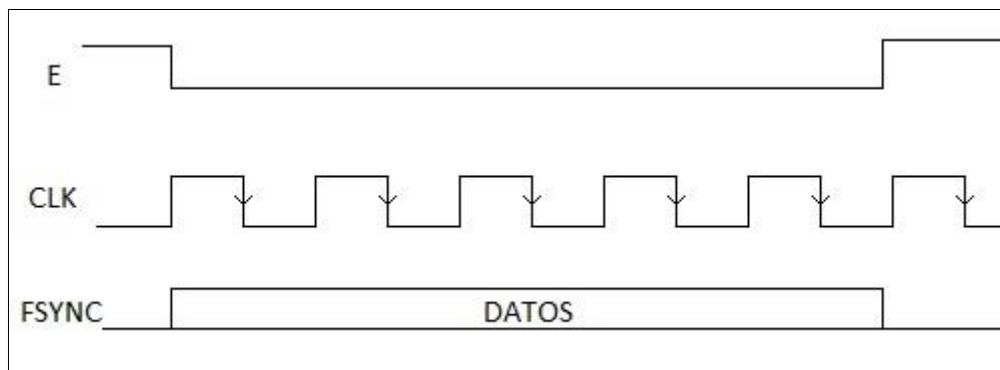
**Figura 16.** Fuente de alimentación

### 2.1.2. Placa de control

El objetivo de esta placa es el de controlar la frecuencia de la señal que será enviada al ondulator, siendo creada por un generador de funciones, para ser posteriormente modulada y multiplicada en pares opuestos por una CPLD. El control/programación del generador de funciones (DDS) es realizado por un microcontrolador mediante SPI.

Para poder controlar la aplicación, la placa de control contiene otros elementos de importancia menor, pero también necesarios. Es el caso, por ejemplo, de los dos reguladores que condicionan el voltaje de alimentación, ya que la CPLD necesita 3,3 V para alimentar sus pines de entradas y 1,8 V para alimentar su electrónica interna, debido a esto toda señal de entrada a este dispositivo debe tener como máximo un valor de voltaje de 3,3 V, con un voltaje mayor, el dispositivo correría el riesgo de ser destruido. Es por este motivo que las conexiones entrantes a la CPLD del generador de funciones y del PIC, deben tener entremedio un divisor de tensión que reduzca los 5 V a un valor inferior a 3,3 V. En este caso se ha optado por reducir a la mitad estos voltajes, es decir, reducir a 2,5 V; ya que la CPLD puede reconocer como nivel alto un valor de 2 V. El proceso inverso no es necesario debido a que el PIC puede reconocer un valor de 3,3 V como nivel alto.

El PIC es el responsable de todas las operaciones de control que se realizan en el ondulator. Su principal objetivo es el de programar el dispositivo DDS mediante un bus de datos tipo SPI, el cual se compone de tres hilos, el primero de ellos es una señal de *clock* (SCLK) que el dispositivo DDS toma como reloj para la sincronización entre el emisor y el receptor, el segundo es el hilo por el cual la comunicación serie se hace efectiva con una velocidad de 4800 baudios (SDATA) y el tercero es una señal de *enable* (FSYNC) la cual permitirá que el dispositivo actúe siempre que esté en nivel bajo. Las señales de SPI adoptaran el siguiente perfil:



**Figura 17.** Perfil del bus serie SPI

El PIC es el responsable de otras acciones de control, como puede ser ejecutar la orden de *reset* y *enable* a la CPLD para que esta active/desactive el ondulator, de esta manera con un solo botón se puede resetear o detener la marcha de la aplicación. Otra de las acciones que realiza el PIC es la de mostrar información al usuario mediante una pantalla LCD, la información mostrada básicamente es si el sistema está en marcha o no y el valor de frecuencia que el inversor está generando.

Por último, el valor de frecuencia necesario para alcanzar la frecuencia de resonancia es calculado también por el PIC. Este cálculo tiene como consigna el valor de corriente en el tanque resonante tomado por un amperímetro colocado en la placa de potencia. Este amperímetro, que se definirá con más detenimiento en el apartado dirigido a dicha placa junto a toda la circuitería que lo acompaña, convierte el valor de corriente tomado en un voltaje, que tras ser procesado, llega al PIC, que deberá convertir este valor analógico en uno digital. La corriente del tanque resonante debe ser máxima, por lo tanto el PIC deberá modificar el valor de frecuencia de tal manera que la consigna vaya aumentando, hasta el momento que este disminuya, esa será la frecuencia de resonancia del tanque. Como último paso, el PIC deberá colocar la frecuencia un poco por encima del punto de resonancia, ya que los transistores del ondulator trabajaran con un comportamiento inductivo, que es mucho más estable en los que a retornos de corriente se refiere.

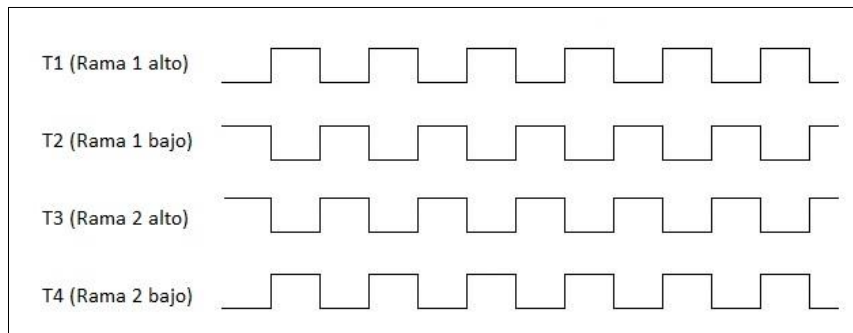
El segundo elemento de los tres elementos esenciales para el funcionamiento de esta placa es el generador de funciones DDS, el cual cumple solo con una función: generar una onda cuadrada con un valor de frecuencia determinado por el PIC y transmitir dicha onda a la CPLD de la placa, la objetivo de la cual se comenta a continuación. El reloj maestro de este elemento es enviado desde la CPLD debido a que esta puede enviar una señal mucho más rápida que el PIC y además esto no influye en su correcto funcionamiento, ya que la CPLD tiene un funcionamiento modular, es decir, puede trabajar en con módulos en paralelo, mientras que el PIC es completamente secuencial.

El Reloj maestro que se transmite al generador de funciones debe ser al menos de 20 MHz (el valor optimo señalado por el fabricante es de 25 MHz), ya que siendo este menor a dicho valor, la precisión de la frecuencia de la señal generada se vuelve bastante pobre para señales superiores a 100 kHz.

La forma más sencilla de detectar este fenómeno es conectando un osciloscopio a la salida del chip, ya que se observa como la señal generada oscila entre dos frecuencias (se observan periodos de diferentes frecuencias en la misma señal).



El tercer y último elemento indispensable para el correcto funcionamiento del sistema es la CPLD, la cual cumple el propósito de modular ligeramente la señal producida en el DDS para transportar a través de un cable plano a la placa de potencia. La señal que recibe del DDS tiene que ser multiplicada en cinco, una para poder cebar un tiristor localizado en la placa de potencia, que se comentará en su debido apartado. Las otras cuatro señales producidas se usaran para la apertura o cierre de los cuatro transistores que conforman el puente en H. estas cuatro señales deben ser emparejadas en dos pares opuestos, concepto que se ilustra en la siguiente imagen:



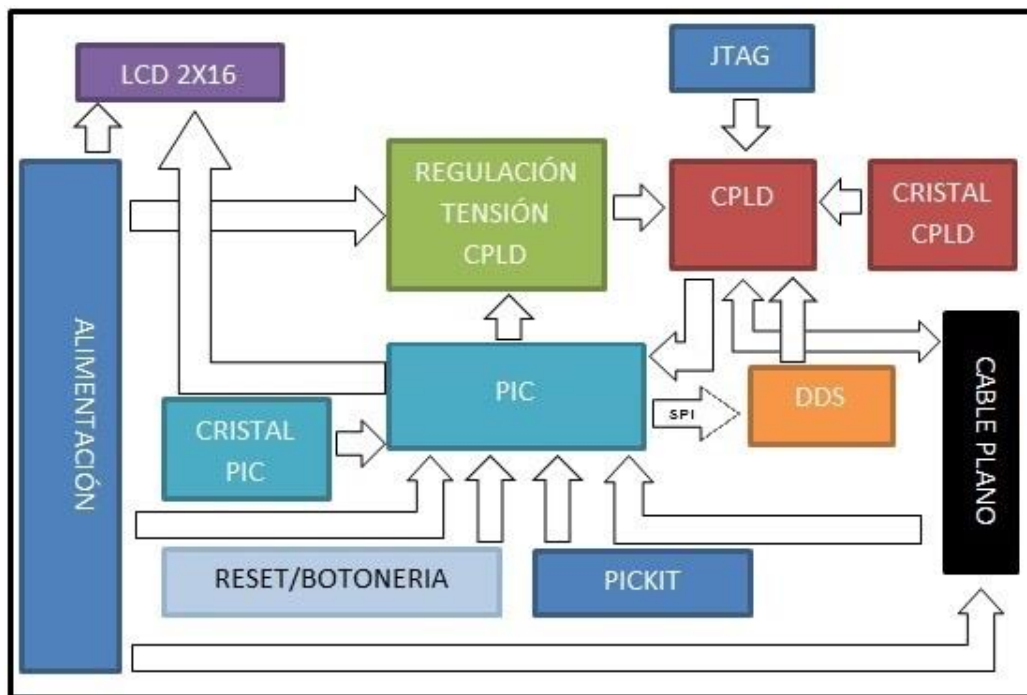
**Figura 18.** Señal de activación/desactivación para transistores.

Como se ha ilustrado anteriormente, un puente en H tiene cuatro transistores que deben ser activados de forma que el transistor alto de la rama uno se active al mismo tiempo que el transistor bajo de la rama dos y el transistor alto de la rama dos con el bajo de la uno, concepto idéntico para la desactivación. El último tratamiento que debe recibir esta señal es el de colocar un *delay* de apenas unos microsegundos a cada flanco de la señal, tanto de subida como de bajada, con el objetivo de que ninguna rama pueda entrar en conducción con sus dos transistores, hecho que provocaría un cortocircuito momentáneo, que no destruiría el inversor al instante pero que provocaría daños a largo plazo. Por ultimo comentar que la señal producida por el DDS será de valor de frecuencia mitad al final del proceso de modulación debido a que la señal del DDS no es exactamente colocada en los pines de salida de la CPLD, si no que más bien se usa como reloj con detección de flanco de bajada, de esta manera se simplifica la modulación de la señal.

La única aplicación de control llevada a cabo por la CPLD es la de detección de error de corriente en ambas ramas del ondulator, ya que esta acción precisa de una respuesta rápida porque en pocos milisegundos el inversor se puede dañar por exceso de corriente. Ante una detección de cortocircuito, la CPLD desactiva en *enable* que mantiene el sistema activo y manda una señal de error por dos hilos distintos (uno para cada rama) al PIC, el cual desactivara el *enable* e informará al usuario en que rama se ha producido el error.

La placa se ha diseñado y construido en una placa fotosensible de dos caras, con un tamaño de 100 X 160 mm.

A continuación se muestra un esquema con la distribución de los componentes por bloques para la mejor comprensión y organización de las explicaciones dadas:



**Figura 19.** Diagrama de bloques de la distribución de componentes en placa

Como ya se ha comentado, el elemento principal que gobierna el ondulator es un microcontrolador debido a su capacidad de cálculo y de manejo de periféricos. Para elegir un microcontrolador primero se debe decidir el fabricante y posteriormente escoger un modelo dentro del catálogo, que se ajuste a las necesidades de la aplicación. Dentro de las múltiples opciones de fabricantes se decide escoger dos concretos para hacer un análisis más detallado, en este caso serán los microcontroladores *Atmel* y los microcontroladores PIC de Microchip, el primero por haberse trabajado previamente con él y disponer de conocimiento de su compilador *Keil* y el segundo por ser prácticamente un estándar en la industria, especialmente en proyectos de bajo coste.

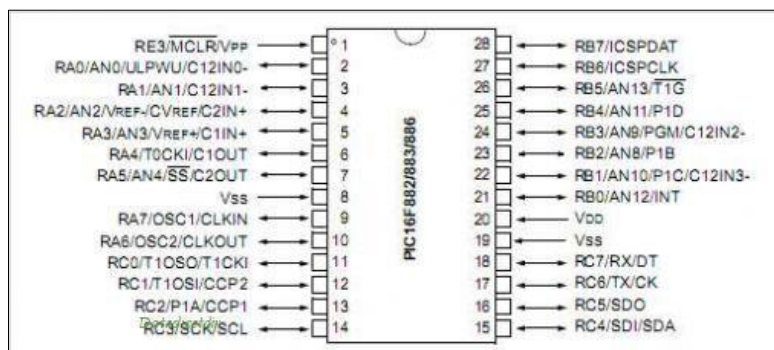
En el caso de *Atmel*, posee una gran eficiencia y flexibilidad, sin embargo son más caros que los microcontroladores PIC y disponen de un menor catálogo. Además los PIC tienen la ventaja de que al ser tan utilizados tanto profesionalmente como para pequeños proyectos, existe multitud de código disponible en internet y sobretodo disponen de multitud de librerías, lo cual supone una gran facilidad para la programación. Por estos motivos se decide un microcontrolador PIC para este proyecto.

Una vez determinada la familia a utilizar, se puede utilizar la herramienta de selección disponible en la página de Microchip para seleccionar el componente adecuado. Para ello, se debe tener en cuenta las características más relevantes que debe tener el PIC, como por ejemplo una cantidad de pines suficientes para todas las entradas y periféricos, un convertidor analógico/digital para la lectura de corriente y entradas analógicas para su correcta recepción. Debido a todo esto se deben listar todos los elementos que dependerán del PIC para el correcto recuento de pines:

Elemento	Número de puertos PIC
Botonería + Reset	4
Comunicación SPI PIC -> DDS	3
Comunicación PIC <-> CPLD	4
Detección de corriente	1
LCD 16x2	6
Programador PICKIT 2 (pin para reset contado con anterioridad)	2
<b>TOTAL</b>	<b>20</b>

**Tabla 1.** Listado de pines usados en el PIC

Por lo tanto se requiere un mínimo de 20 puertos de entradas/salidas en el microcontrolador para llevar a cabo las tareas necesarias de la placa de control. Dentro de la gama de controladores que incluyen los 20 puertos deseados existe una gran diversidad, desde microcontroladores pequeños hasta grandes microcontroladores de 64 o 80 pines. Sería un gran desperdicio elegir un PIC con tantos pines y dejarlos sin conectar, motivo por el cual se decide limitar la cantidad de pines totales del microcontrolador a 28. Además, se realiza una criba seleccionando únicamente los microcontroladores con entradas analógicas y conversor analógico digital. Con estos criterios se obtienen múltiples opciones, sin embargo destaca entre ellos el microcontrolador 16F882, un PIC ampliamente utilizado, con grandes cantidades en stock en distribuidores online de componentes electrónicos y con un precio inferior a 2 euros.

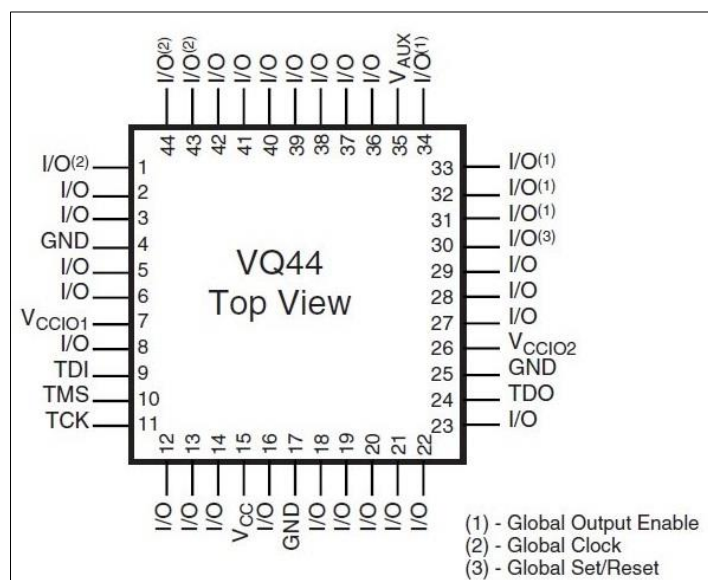


**Figura 20.** Distribución de pines del PIC [8]

Para la navegación entre los menús programados en el PIC, se opta por colocarle 3 pulsadores cuadrados de PCB normalmente abiertos con tres resistencias de *pull-up*.

En cuanto al oscilador, se decide utilizar un oscilador externo debido a los posibles problemas que pueden aparecer utilizando el oscilador interno incorporado en el PIC, ya que cualquier posible calentamiento del componente puede provocar una deriva de la frecuencia de oscilación, lo que puede afectar negativamente al sistema. Por ello se utiliza un oscilador externo de cuarzo de una frecuencia estandarizada de 20 MHz, conectado con dos condensadores cerámicos pequeños (33 pF cada uno) conectados a masa.

El siguiente elemento a seleccionar es la CPLD. En este caso se escoge una CPLD de la compañía Xilinx por las facilidades que proporciona su compilador *ISE Desing Suite*, que además ha sido utilizado con anterioridad y se conoce su entorno de trabajo, cosa que facilita el desarrollo del proyecto. Existen un limitado número de modelos de este tipo, desde CPLD para automoción hasta CPLD con más de 140 pines, pero para esta aplicación no se necesita una CPLD de gran tamaño en cuanto a memoria, módulos y pines se refiere. Por lo tanto se escoge una XC2C64-7VQG44 de 64 macroceldas y 44 pines en total. Parte de los pines de este elemento no se usarán, pero este es el modelo más pequeño que se puede adquirir y su precio no excede los 3 euros.



**Figura 21.** Distribución de pines de la CPLD [9]

Este elemento también utiliza un cristal de cuarzo por las mismas razones antes comentadas. En este caso se opta por un cristal ABRACON de 50 MHz que no necesita condensadores a la salida y puede ser alimentado a 3,3 V, voltaje necesario para el correcto funcionamiento de la CPLD.

El último elemento de vital importancia a seleccionar es el generador de funciones o DDS (*Direct Digital Synthesizer*). Para esta elemento se prioriza el precio ya que su función es tan sencilla como crear una señal cuadrada de por lo menos 1 MHz. Todos los elementos en el mercado responden a esta necesidad y a la de ser programado por SPI, por lo tanto se opta por el más económico que es un AD9833BRMZ. Este elemento tiene un precio de 9,48 euros, lo que lo convierte en el más caro de toda la placa.



**Figura 22.** Elemento DDS [10]

También se debe comentar que este elemento tiene un tamaño extremadamente pequeño, lo cual dificulta su manipulación y soldadura.

Una vez determinados los elementos principales de esta placa de control, se dispone a la selección del resto de componentes necesarios para el funcionamiento y envío/recepción de datos.

La conexión entre la placa de potencia y la de control se hace efectiva a través de un cable plano de 20 hilos, los hilos pares son los destinados al envío y recepción de información o señal en el siguiente orden:

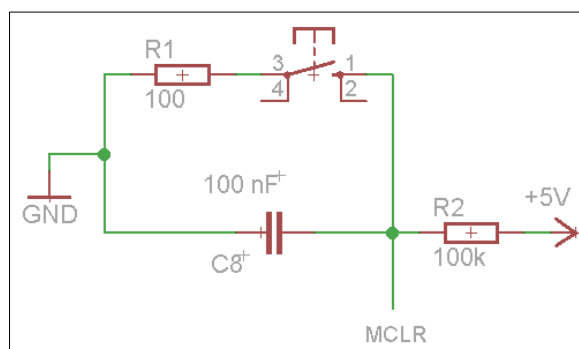
Numero de pin en el cable plano	Información/señal transmitida
2	Alimentación 5 V
4	Valor de corriente en el tanque
6	Error de corriente en rama 1
8	Error de corriente en rama 2
10	Señal de <i>enable</i> /SD para driver transistores
12	Señal activación transistor alto rama 1
14	Señal activación transistor bajo rama 1
16	Señal activación transistor bajo rama 2
18	Señal activación transistor alto rama 2
20	Señal cebado para tiristor

**Tabla 2.** Listado de pins usados en el cable plano

Los pines impares por otro lado, son conectados a masa con el objetivo de evitar interferencias, ya que un bus de estas características es muy susceptible de interceptar interferencias debido a su anchura, longitud y a que los cable no están apantallados. Además, las señales entre ellas podrían provocar ruidos e interferencias o incluso capacidades parasitas, de esta manera no solo se separan entre ellas una distancia prudencial sino que además se consigue un efecto aislante.

Otros conectores necesarios en esta placa son aquellos que permitan al proyectista programar el microcontrolador y la CPLD sin necesidad de retirarlos de la placa a cada momento que se necesite programarlos. El primero de ellos es un conector de seis pines en el cual se conecta el programador PICKIT 2 que viene con software incluido. El segundo es un conector de seis pines también en el que se conecta un programador llamado JTAG y para el cual se puede descargar un software gratuito llamado *Digilent Adept*.

Entrando con un poco más detalle en los circuitos sencillos que se requieren para el correcto funcionamiento de la placa de control, se debe diseñar el circuito de *reset*, que permitirá al usuario reiniciar al sistema siempre que lo desee mediante un pulsador. Para ello se utiliza un pulsador cuadrado de PCB de tipo normalmente abierto que cuando se accione llevará la señal MCLR (*Master clear*) del PIC a nivel bajo, provocando un reinicio del sistema. Para optimizar el circuito se añade un circuito RC, con una resistencia elevada conectada a tensión y con el condensador conectado a masa, de esta manera cuando se enciende el sistema el condensador se va cargando lentamente provocando un reinicio en el sistema durante la inicialización aunque no se pulse el botón de *reset* (un llamado inicio suave o *soft start*). Además, se incluye una resistencia en serie con el pulsador de valor pequeño que permite descargar rápidamente al condensador al pulsar el botón y provocar el reinicio manual.



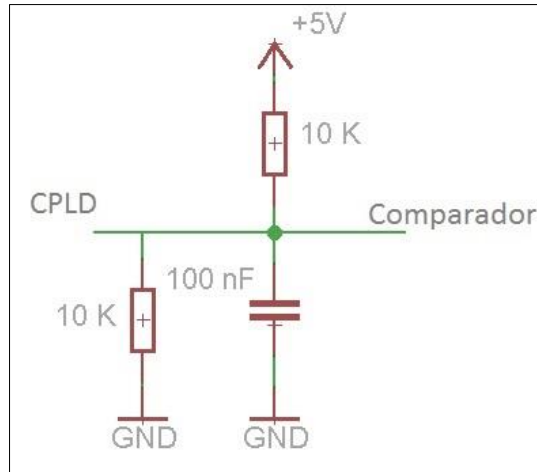
**Figura 23.** Esquema de conexión del reset

El último de los esquemas a comentar es el filtrado de las señales de error y lectura de corriente. Estas señales son las más exigentes en cuanto a ruido se refiere, ya que la lectura de corriente puede tener variaciones pequeñas

y cualquier ruido puede enmascararlas. El error de corriente debe ser rápido, por ello no debe haber ninguna resistencia serie en la pista. En cuanto a la detección de error de corriente en las ramas del inversor, existen dos elementos en cada rama, el primero es un condensador de 100 nF que filtra la señal de cualquier posible ruido que junto a una resistencia de *pull-up* colocada en la placa de potencia, completan el filtro pasa bajos. El otro elemento es una resistencia de 10 k $\Omega$  que junto a la resistencia de *pull-up* colocada en la placa de potencia crean un divisor de tensión para la correcta inserción de la señal en la CPLD. Esta resistencia tiene una doble función, ya que además del divisor, disipa toda energía remanente después de un aviso de error en la circuitería. Para la elección del condensador se fija una constante de tiempo de una milésima.

$$\tau = R \cdot C \quad (10)$$

$$\frac{1}{1000} = 10000 \cdot C \rightarrow C = 100 \text{ nF}$$



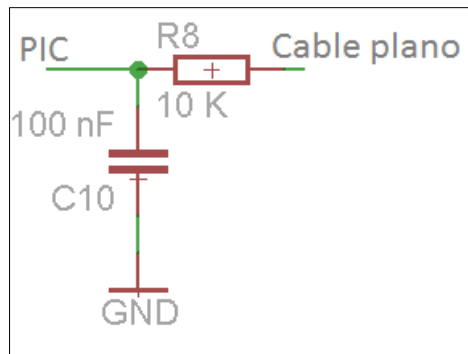
**Figura 24.** Filtro pasa bajos para detección error de corriente

El otro filtro a calcular es el de la lectura de corriente para el cual se escoge una frecuencia baja de 160 Hz debido a que normalmente los voltajes no deseados se mueven en frecuencias muy superiores y el dato de corriente es un nivel de continua con cambios lentos. El otro parámetro escogido es el valor de resistencia debido a que es un valor muy utilizado en otras partes de la placa de control y en la de potencia, el valor de resistencia es de 10 k $\Omega$ .

$$F_c = \frac{1}{2\pi RC} \quad (11)$$

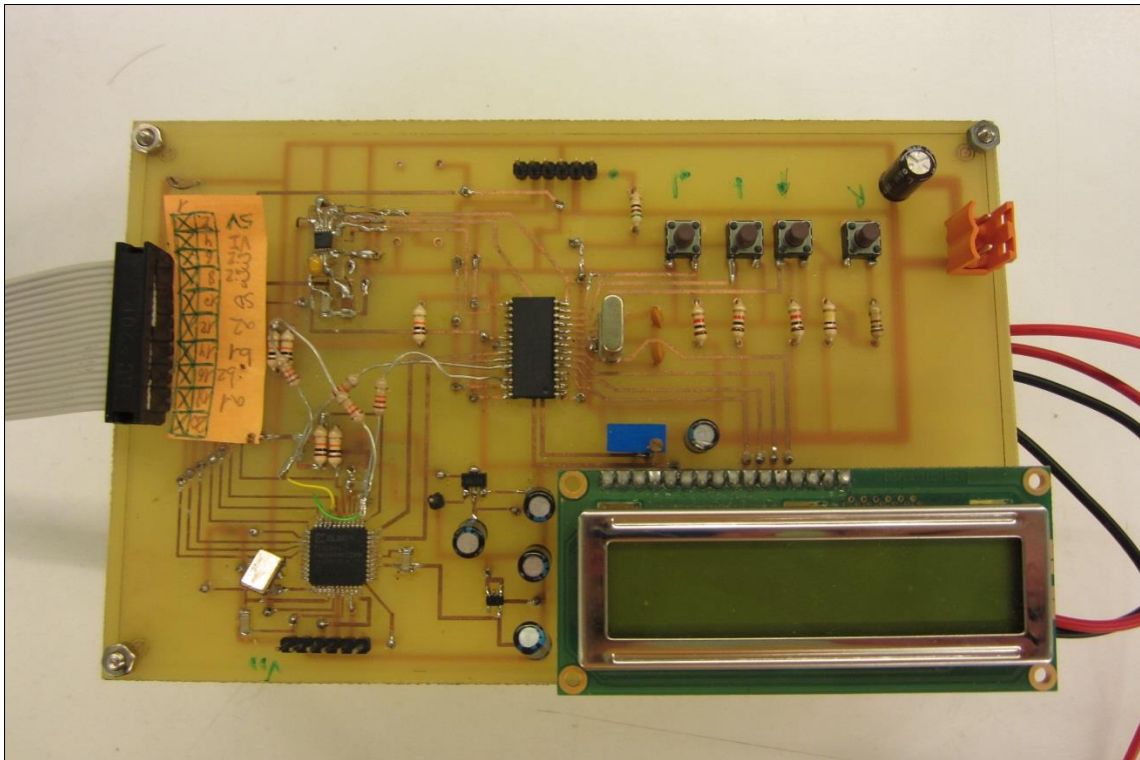
$$C = \frac{1}{2\pi R F_c} = \frac{1}{2\pi \cdot 10k \cdot 160} = 99,4 \text{ nF} \rightarrow 100 \text{ nF}$$





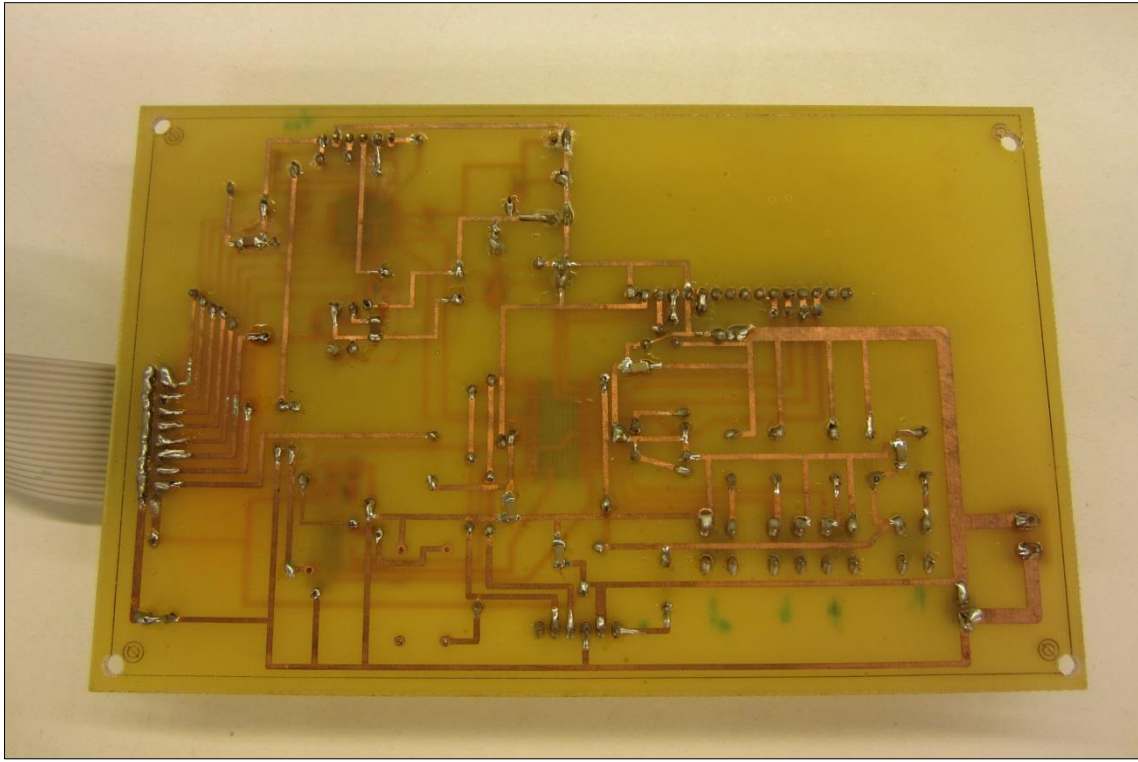
**Figura 25.** Filtro pasa bajos para lectura de corriente

Una vez finalizados todos los bloques necesarios se procede a la realización de la PCB mediante el *software EAGLE* y después de la realización del circuito impreso, se obtiene la placa de control:



**Figura 26.** Placa de control cara top





**Figura 27.** *Placa de control cara bottom*

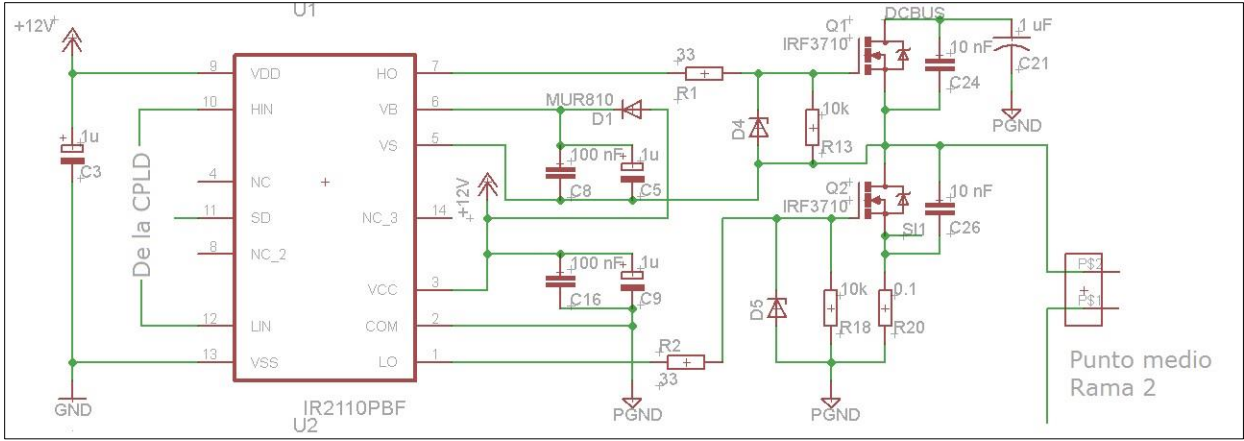
### 2.1.3. Placa de potencia

Esta placa contiene los elementos que conforman el ondulator en sí, el cual tiene tres entradas de alimentación, dos de 5 y 12 V para la alimentación de la circuitería necesaria para conformar el inversor y otra de 100 V. Esta última, será la alimentación con la que trabaja el puente completo y por lo tanto la que alimenta el tanque resonante. Las dos primeras provienen de la placa de alimentación, la de 5 V indirectamente ya que previamente alimenta la placa de control y la de 12 V que proviene directamente de la placa de alimentación con un conector de dos pines. El bus de 100 V de continua, proviene de un transformados variac con un rectificador a su salida, esta señal llega a la placa sin filtrar, por lo tanto el filtrado del bus se debe formalizar en la misma placa de potencia.

Una vez definidas todas las entradas de alimentación, se procederá a comentar el funcionamiento de la placa siguiendo el camino que recorren las señales de activación/desactivación de los transistores desde el cable plano hasta los mismos transistores. Luego se pasará a comentar las exigencias del bus de continua, desde el filtrado, pasando por las protecciones ante las tensiones repentinas, es decir, la conexión a la red con un enchufe de una fase. Por último se comentará que soluciones se han elegido y cuál es la circuitería necesaria ante las necesidades de tomar un valor de corriente del tanque resonante y de detectar los errores de intensidad en cada una de las ramas del puente de transistores.

De la placa de control llegan cuatro señales de activación/desactivación, una para cada transistor. Estas señales no pueden ser directamente introducidas a los transistores del puente, debido a que la fuente de esta señal, en este caso la CPLD, no puede generar suficiente amperaje como para cargar los transistores de una manera suficientemente rápida, la corriente de salida de este tipo de integrados suele rondar los 25 mA y un transistor como el que se utiliza en esta aplicación suele necesitar un amperaje de alrededor de 1 A. Además el voltaje idóneo para activar los transistores es de 12 V, voltaje que la CPLD no puede alcanzar.

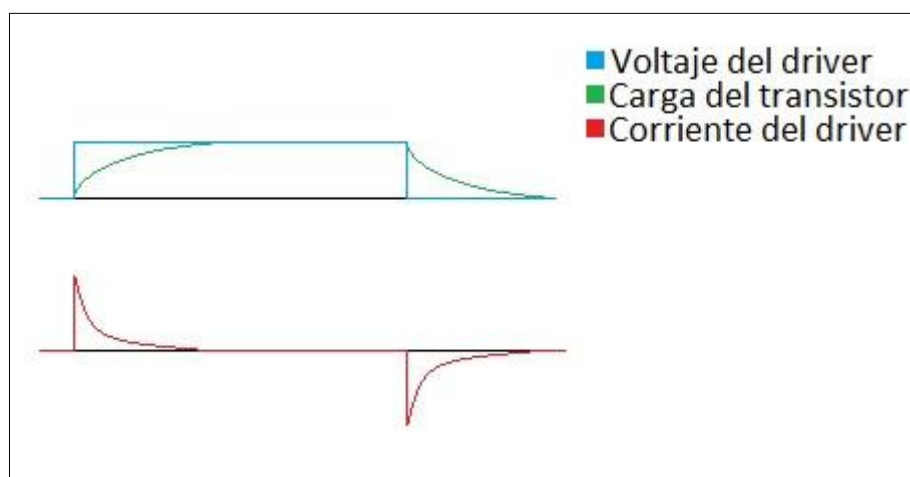
Para todos estos contratiempos existe una solución sencilla que es colocar un módulo de activación para transistores MOSFET/IGBT o *driver*. Este módulo nos asegura el correcto amperaje necesario para activar suficientemente rápido los transistores y así no tener pérdidas excesivas por mala conmutación.



**Figura 28.** *Circuitería para driver IR2110*

En la imagen anterior se muestra cual es el montaje recomendado por el fabricante en la hoja de especificaciones, además también se puede observar la primera rama del puente de transistores, el punto medio del cual está conectado al conector de salida que comunica con el tanque resonante.

Los condensadores conectados entre  $V_b$  y el punto medio de los dos transistores y los conectados entre el pin  $V_{cc}$  y masa, cumplen un mismo objetivo, el cual es el de asegurar un nivel de voltaje lo más estable posible para las alimentaciones de los dos drivers internos que comunican con las puertas de los transistores. El hecho de que sea tan crítico este hecho es porque se necesita un transitorio de corriente muy rápido y muy grande en amplitud para la carga rápida de los transistores y de esta manera se asegura un valor de pico de corriente suficiente.



**Figura 29.** Corriente y voltaje para los transistores

Existe una problemática con el par de condensadores que mantienen la alimentación del driver que alimenta el transistor alto. Este par de condensadores se cargan cuando el transistor bajo esta en conducción, por lo tanto se encuentran conectados entre 12 V y masa. El problema aparece cuando el transistor bajo entra en corte y el alto entra en conducción, el nudo al cual están conectados los condensadores en su pin negativo, se encuentra a un potencial de 100 V y por lo tanto la parte superior de estos condensadores ya cargados alcanzaría una diferencia de potencial de 112 V, siendo esta parte superior el mismo nudo que comunica directamente con la fuente que proporciona los 12 V, produciéndose así un retorno de corriente que destruiría la fuente de alimentación del sistema. Para evitar esto, se coloca un diodo, denominado diodo de *bootstrap*, que evita que este retorno de corriente a la fuente se haga efectivo. Como se puede observar en el esquema anterior, el ánodo del diodo está colocado en el mismo nudo que proporciona los 12 V.

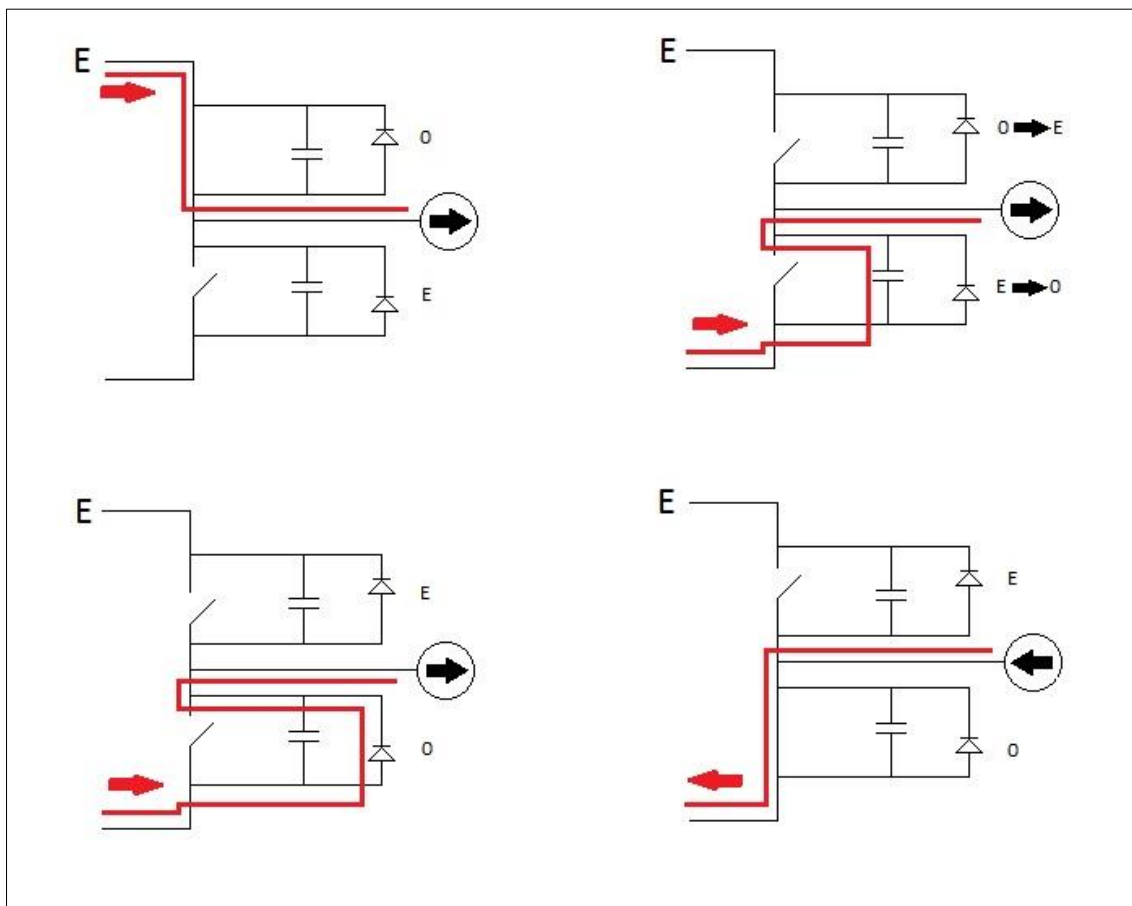
El hecho de que los condensadores que aseguran la alimentación de los driver sean dos y no una simple condensador, no es porque se necesite ese valor de capacidad exactamente, sino que es un método para conseguir que el tiempo de carga y descarga de estos condensadores sea más rápido, ya que los condensadores electrolíticos trabajan bien en periodos de milisegundos, pero en el momento en el que los periodos de señal son de microsegundos o menores, estos condensadores se vuelven lentos y no consiguen trabajar en el régimen requerido. Para solventar este problema, se le coloca un condensador cerámico mucho menor, el cual tiene un tiempo de respuesta mucho más rápido, para crear un efecto de "precarga" del condensador de mayor capacidad, en otras palabras, se facilita la carga del condensador de mayor tamaño.

Este mismo efecto es el que se persigue, colocando los condensadores de 1  $\mu\text{F}$  en el bus de continua, los cuales facilitan la carga de los condensadores electrolíticos que filtran la señal de continua que está presente en el bus.

Otra de las problemáticas que pueden aparecer cuando se trabaja con transistores MOS o IGBT's, es que cuando estos transistores se encuentran con el pin de puerta sin conectar a ningún sitio, pueden empezar a oscilar entre la conducción y el corte, debido a que el conjunto de condensadores parásitos que conforman el transistores, empiezan a cargarse y descargarse debido a la diferencia de potencial entre la fuente y el drenador. Aunque en esta aplicación los transistores están conectados al driver por el pin de puerta, se podrían producir situaciones en pequeños tramos temporales, que reprodujeran una situación similar a la de dejar desconectado el pin de puerta del transistor. Para evitar este tipo de situaciones se coloca una resistencia entre la puerta y el punto medio del puente, en el caso del transistor alto y entre puerta y masa en el caso del transistor bajo. Asegurando así un potencial concreto en las puertas de los transistores.

Un elemento de protección a destacar, son los diodos zeners colocados en paralelo con esta resistencia. Habitualmente, los diodos zener tienen la función de estabilizar un voltaje con una corriente un poco variable, sin embargo, estos zeners con voltaje máximo de 15 V, tienen la misión de empezar a conducir en inversa en el momento en que la puerta del transistor supere dicho voltaje, con el objetivo de salvaguardar el transistor.

Entre el drenador y el surtidor de cada transistor existe un condensador que para explicar su función se debe explicar con anterioridad otro concepto, este concepto se le conoce con el nombre de ZVS (*zero voltage switching*), consiste en el cambio de corte a saturación y viceversa cuando el transistor se encuentra a cero voltios para que la transición sea mucho más suave, por ese motivo se colocan esos transistores entre el drenador y el surtidor.

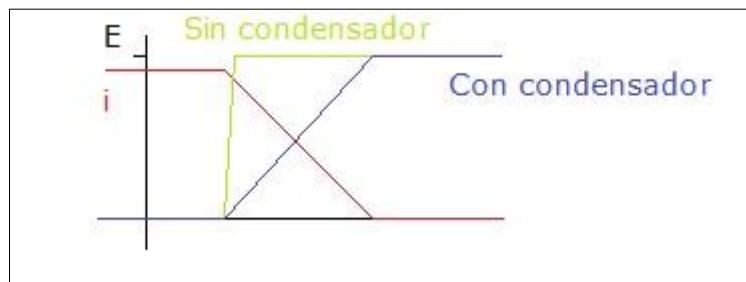


**Figura 30.** Esquema de activación ZVS

En la imagen anterior se puede observar como en un principio el transistor alto está en conducción y por lo tanto su voltaje y el de todos los elementos conectados a él en paralelo es cero, mientras que el transistor bajo tiene un voltaje igual a de alimentación E. En el momento que el transistor alto se abre (a 0 V) y debido a que la carga tiene un comportamiento inductivo, el sentido de la corriente no cambia y por lo tanto el condensador del transistor bajo es el que entrega la energía que alimenta la bobina. Debido

a que existe un balance entre condensadores, mientras el bajo se va descargando, el alto se carga, de esta manera se mantiene el nivel de voltaje E y no se entra en cortocircuito. En el momento en el que el transistor bajo se queda sin carga, se produce un retorno de corriente hacia la red a través del diodo interno del transistor a un voltaje muy cercano a cero. Por ultimo cuando el transistor bajo entra en conducción, la carga ya tiene el sentido contrario de corriente y el transistor se ha puesto en marcha a un voltaje casi cero (no es del todo cero a causa del voltaje lindar del diodo).

El efecto que se persigue con esta técnica es el de reducir la potencia disipada en los condensadores a causa de las conmutaciones:



**Figura 31.** Conmutación de un transistor

En la imagen anterior se puede apreciar como la potencia disipada en el transistor es mucho mayor sin el condensador, ya que cuando el voltaje entre drenador y surtidor ya es igual al de la alimentación, el valor de corriente sigue siendo bastante alto, sin embargo con el condensador, el momento en el cual se alcanza dicho voltaje es posterior y por lo tanto el valor de corriente es considerablemente más bajo. Este mismo efecto ocurre en la transición hacia un estado de conducción en el transistor.

No todos los valores de capacidad sirven para este cometido, ya que un valor demasiado elevado provocaría que los condensadores no se lleguen a cargar ni descargar del todo, lo que provocaría que el cambio no se produzca a 0 V. Mientras que un valor demasiado bajo provocaría pérdidas en calor altas. Para seleccionar esta capacidad se utiliza la siguiente formula:

$$i = C \frac{dV}{dt} \quad (10)$$

De donde se extrae la siguiente expresión:

$$\Delta T = C \frac{\Delta V}{I} \quad (11)$$

$$2 \cdot 10 \cdot 10^{-9} F \frac{50 V}{8 A} = 130 nS$$

El valor de capacidad es multiplicado por 2, debido a que el condensador alto y bajo forman una asociación en paralelo. Por lo tanto para un valor de 50 V y 8 A, se necesitaría un valor de *dead time* de 130 nS.

Las resistencias de 33  $\Omega$  colocadas en serie entre los transistores y los drivers, son resistencias típicas en las aplicaciones con transistores. Su misión es la de asegurar la carga y la descarga de los transistores.

Este mismo montaje es utilizado en la segunda rama del puente.

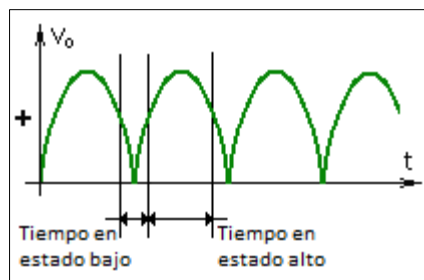
El driver contiene un pin de *Shutdown* que es conectado a la CPLD. Este pin ofrece la posibilidad de detener la aplicación con una rapidez elevada, que es una característica a tener a aprovechar teniendo en cuenta los voltaje e intensidades que se producen en el sistema.

Como se ha podido observar la alimentación de estos drivers debe ser de 12 V a exigencias del fabricante, por lo tanto las Señales de los transistores deben tener un valor de voltaje alto de 12 V y no de 3,3 V que es lo que nos ofrece las salidas de la CPLD. Para solucionar esto, se opta por interponer entre la CPLD y el driver un buffer/driver a colector abierto y unas resistencias de *pull-up* alimentadas a 12 V, para así conseguir el valor deseado de tensión en el nivel alto y mantener los 0 V en el nivel bajo sin modificar la señal original producida en la CPLD.

Definido el acondicionamiento de los transistores que conforman en puente, se procederá a definir la circuitería necesaria para asegurar la carga segura de los condensadores del filtro de entrada del bus de continua.

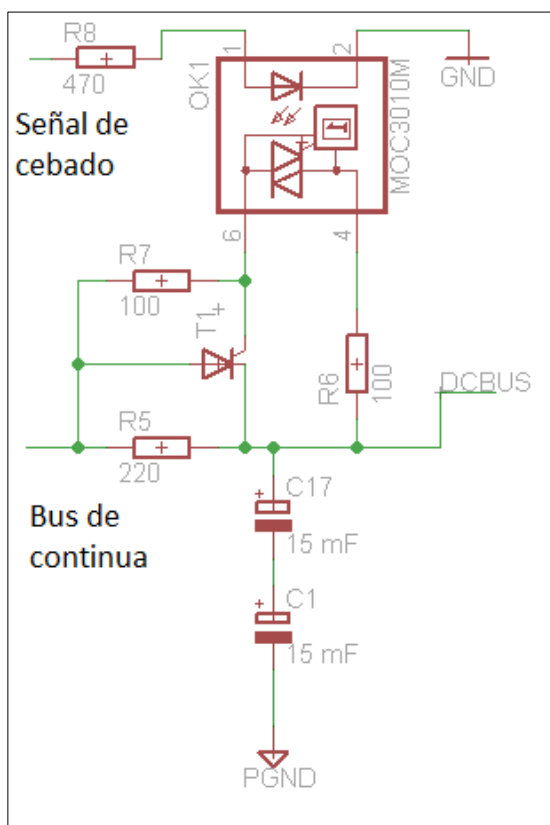
Para filtrar una señal tan elevada como puede ser una continua de 100 V por ejemplo, se necesitan condensadores de gran capacidad. El valor concreto del condensador no es crítico, por lo tanto se colocan dos condensadores electrolíticos en serie de 15 mF y 100 V. El hecho de que se pongan dos en serie es porque el valor objetivo para este sistema es de 100 V y puesto que es un valor extremadamente aproximado al valor de potencial máximo permitido por este tipo de condensador, se colocan dos en serie del mismo valor de capacidad para repartir la diferencia de potencial entre ellos.

Al conectar este tipo de condensadores a una señal rectificada, puede surgir la situación en la que el valor instantáneo de la señal sea de 0 V y por lo tanto los condensadores se cargan de una manera normal y sin ningún tipo de estrés. Este hecho es poco probable, ya que el tiempo en el que la señal se encuentra en un valor de potencial nulo o muy bajo, es realmente pequeño y lo más probable es que la señal se encuentre en un valor máximo o muy elevado.



**Figura 32.** Señal rectificada a onda completa [11]

Para que este tipo de condensadores de gran capacidad, se carguen de una manera segura y sin estrés, se ha optado por colocar un montaje que limite la corriente en el momento de la carga de dichos condensadores, pero que se auto cortocircuite cuando el sistema se ponga en marcha y el bus deba dar toda la corriente necesaria.



Como se puede observar en la figura, la resistencia de  $220\ \Omega$  es la que limita la corriente para evitar el exceso de la misma, esta resistencia, es una resistencia cerámica preparada para disipar un valor de potencia elevado. Una vez que los condensadores están cargados y el sistema está apunto, el usuario le da al PIC la orden de arranque. De la CPLD aparece una quinta señal de activación, idéntica a la señal de activación de los transistores, que ceba el tiristor para que este empiece a conducir, cortocircuitando así la resistencia que limita la corriente del bus.

**Figura 33.** Montaje para carga segura de condensadores

El opto acoplador, tiene la función de separar el bus de continua del sistema de control, evitando así cualquier tipo de retorno del bus. Las resistencias de  $100\ \Omega$  que acompañan al tiristor y al opto, tienen el objetivo de polarizar correctamente el tiristor y de asegurar la correcta carga y descarga del mismo. Por último, la resistencia de  $480\ \Omega$  que precede al diodo LED del opto, es una resistencia típica para limitar la corriente que pasa por el LED.

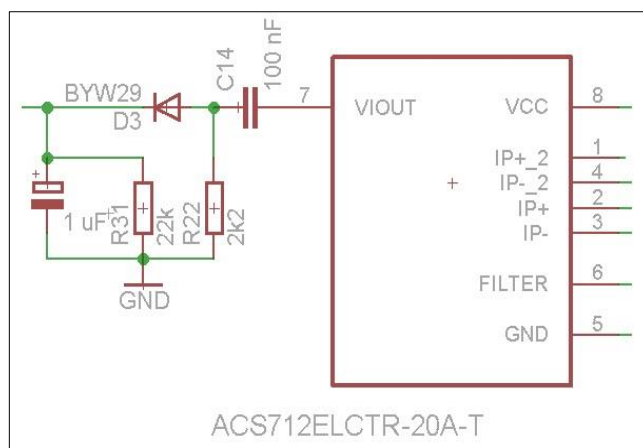


Una vez comendo y solucionado el problema de la carga de los condensadores del bus, se pasará a comentar cual ha sido la opción tomada para efectuar la lectura de corriente del tanque resonante.

Para poder efectuar la lectura de corriente del tanque, se ha optado por hacer circular la corriente por un amperímetro de valor de corriente máxima de 20 A. Este elemento impone en su salida un voltaje de 2,5 V para indicar 0 A, por lo tanto 20 A en continua lo traduciría como 4,5 V en *out* y -20 A como 0,5 V. Ahora bien, la alimentación de la carga es una onda de voltaje cuadrada, donde por efecto de la bobina se produce una corriente con forma senoidal, por lo tanto, lo que se observará a la salida será una señal de continua de 2,5 V con un rizado con una amplitud determinada según el valor máximo de la corriente en la carga del inversor. Para obtener una señal legible por un ADC se debe adecuar esta señal.

El objetivo que se persigue es acabar teniendo un nivel de continua estable que el PIC pueda interpretar como el valor máximo de corriente positiva en la carga, para ello lo primero que se debe hacer es colocar un filtro pasa altos con un valor de frecuencia de corte inferior al de la frecuencia de trabajo de la carga. De hecho, el valor de esta frecuencia de corte puede ser de un valor muy bajo, ya que el elemento que se desea eliminar es un nivel de continua que no ofrece ninguna información en esta aplicación. A continuación se coloca un diodo de forma que su ánodo esté conectado a la salida del filtro, de manera que solo se conserve la parte positiva de la señal senoidal antes conseguida. Por último y para que se pueda conseguir un nivel de continua que varíe en función del valor máximo de corriente circulante por la carga, se debe colocar un condensador a la salida del diodo.

Los valores de los elementos que conforman los filtros son los siguientes. Se



considera que la frecuencia de corte óptima de trabajo de este filtro es de 1 kHz ya que las frecuencias de trabajo del ondulator rondan los 100 kHz. Para conseguir una frecuencia de corte tal se utiliza una resistencia con un valor óhmico de 2,2 k $\Omega$  y un condensador con una capacidad de 100 nF.

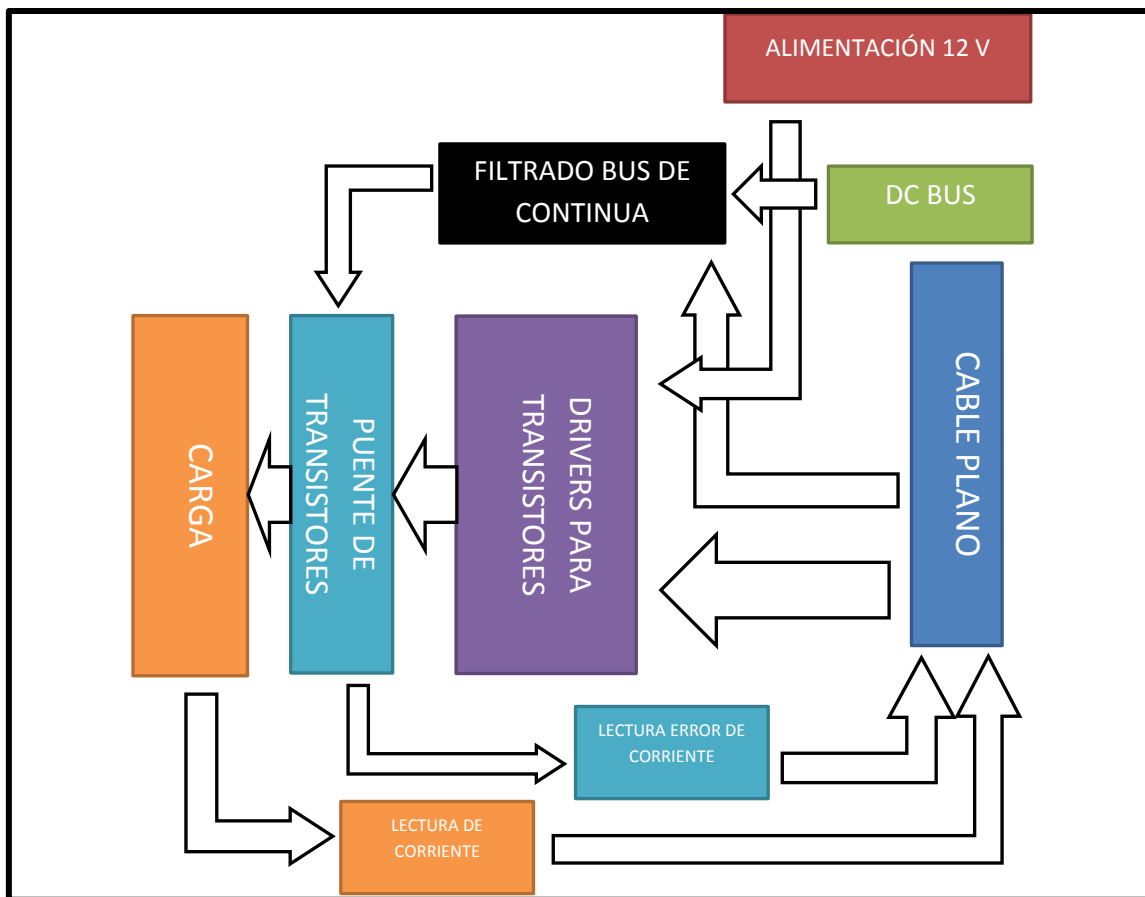
**Figura 34.** Montaje para el filtro de la señal de salida del amperímetro

Otro elemento necesario para el control del sistema es la detección de pico de corriente en cualquiera de las dos ramas del puente, debido a que una sobrecorriente puede inutilizar los transistores de la aplicación. Para efectuar esta lectura, se coloca una resistencia *shunt* de valor  $0,1\ \Omega$  en cada rama del puente. Estas resistencias crearan una diferencia de potencial por el paso de corriente que será introducida en un comparador. Antes de pasar por el comparador, se le coloca entremedio un filtro pasa bajos para eliminar cualquier ruido que pueda enmascarar la lectura correcta de corriente. Los valores de RC del filtro son de  $4k7$  y  $100\ nF$ , que resuelven una frecuencia de corte de  $340\ Hz$ , que es una frecuencia bastante inferior a la que suelen aparecer ruidos e interferencias.

Una vez filtrada, la señal se introduce en la patilla negativa del comparador. En la patilla positiva se coloca un divisor de tensión alimentado a  $5\ V$  que produce una tensión en su salida de  $1\ V$ . Por ley de ohm, para que la resistencia *shunt* cree una diferencia de potencial de  $1\ V$ , tiene que estar pasando una corriente por ella de  $10\ A$ . Por lo tanto la potencia máxima que deben disipar estas resistencias es de  $10\ W$ . en el momento en que la tensión de la resistencia supera la tensión del divisor, el comparador corta su transistor de salida, ya que es un dispositivo a colector abierto, y con la ayuda de una resistencia de pull-up eleva a un valor de nivel alto la pista, que es recibida por la CPLD y esta interrumpe la marcha de la aplicación. Dicha resistencia de *pull-up* completa un circuito previamente explicado, que filtra y adecua la señal para que sea leída por la CLPD.

Por último, se comentará un elemento imprescindible y de una elevada sencillez, que es una resistencia de  $0\ \Omega$  que conecta las dos masas presentes en la placa, la masa de retorno del bus y la masa de la fuente de alimentación. Esta conexión realizada al fin y al cabo por un hilo, tiene como objetivo facilitar el paso de cualquier retorno de corriente del bus que se haya introducido en el circuito de control, otra vez en su masa de retorno correspondiente. Esta protección es muy típica en aplicaciones de potencia como esta.

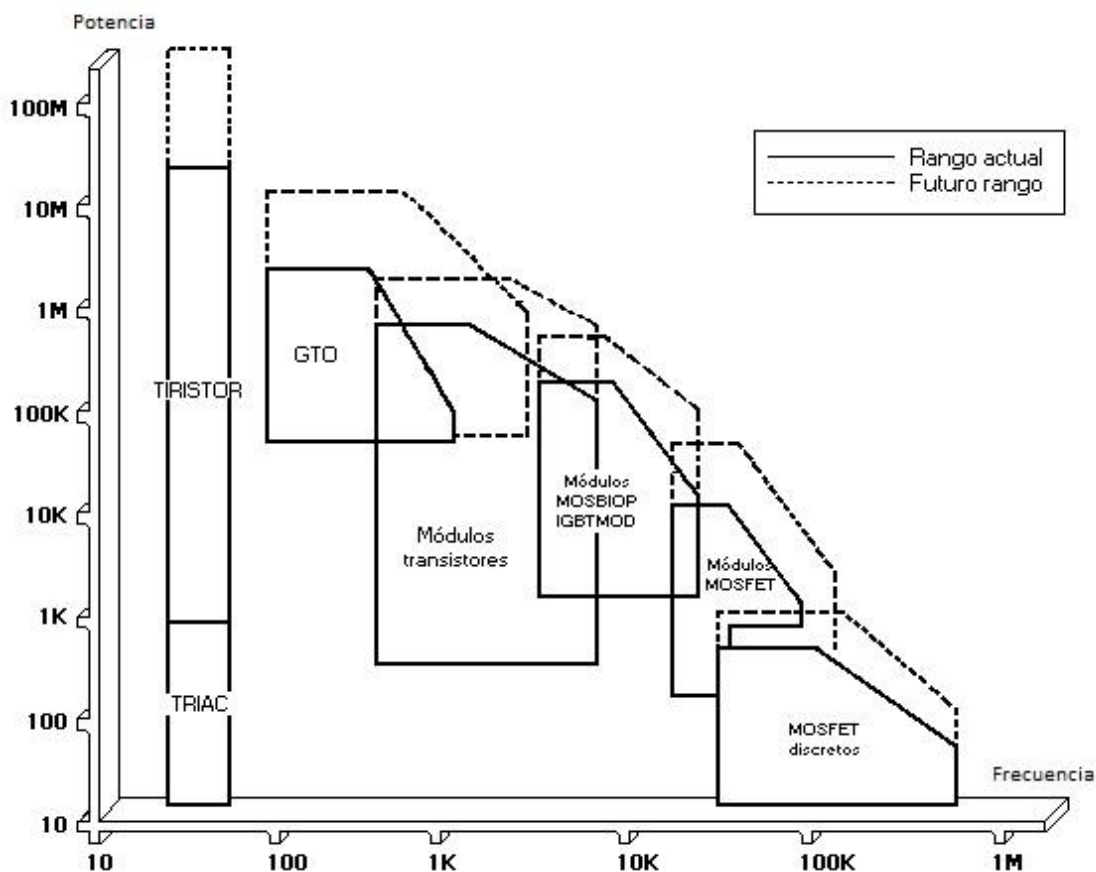
Como circuito adicional, se ha colocado una salida de  $12\ V$  para la alimentación de un posible ventilador para el disipador que vaya colocado en los transistores del puente.



**Figura 35.** Diagrama de bloques de la distribución de componentes en placa

Los dos elementos que deben ser seleccionados y estudiados son los transistores y el amperímetro que lee la corriente de la carga, debido a que todos los demás elementos son bastante estándar.

En cuanto a los transistores, deben ser transistores medianamente rápidos pero que soporten tensiones suficientemente grandes. Lo primero que se debe hacer es observar la gráfica de interruptores en la cual se mide la rapidez en contra de la potencia:



**Figura 36** Clasificación de los interruptores de potencia según la frecuencia máxima contra su potencia máxima [12]

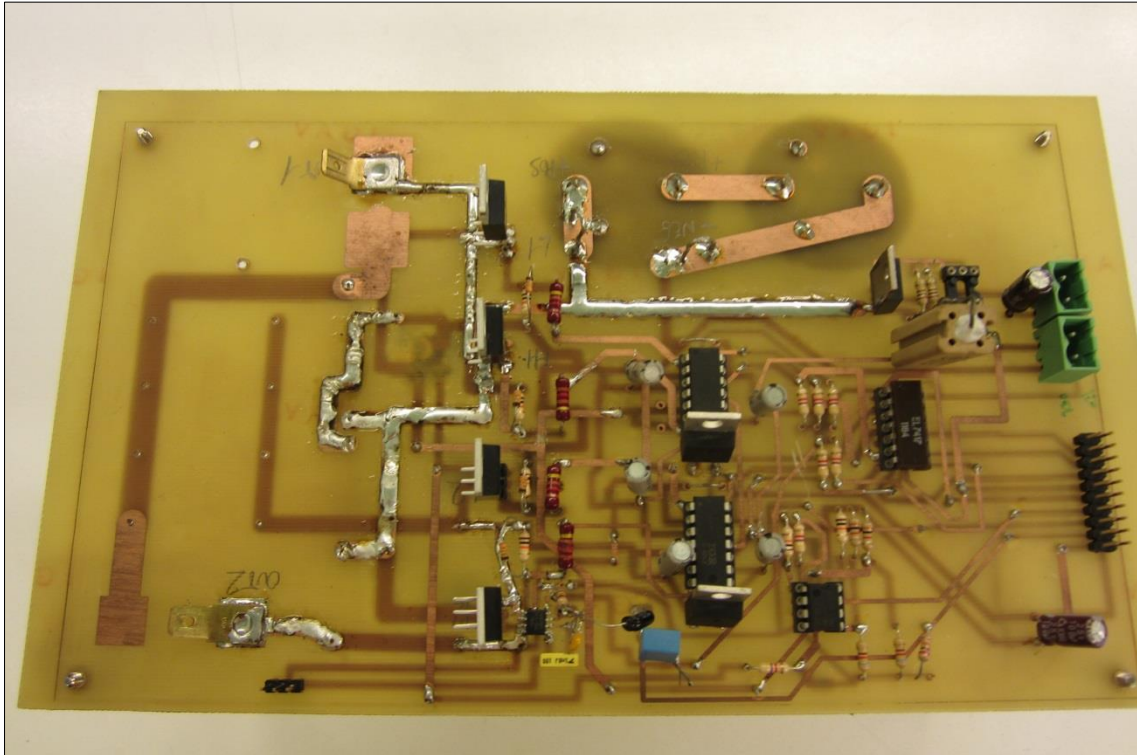
Aunque el gráfico anterior está un poco desfasado, muestra muy bien qué tipo de interruptores se deben usar en esta aplicación. Debido a que se pretende que por el bus circule una corriente de 10 A con un voltaje de 100 V, en ciertos momentos el transistor podría sufrir picos de potencia de hasta 1 kW. En cuanto a la frecuencia, la aplicación podría alcanzar una frecuencia de activación de 200 kHz. El tipo de transistor idóneo para esta aplicación es MOSFET, ya que hoy en día la frecuencia de activación es superior a la mostrada anteriormente. Otro elemento que también podría funcionar en este sistema son transistores IGBT ya que aguantan más potencia y la frecuencia de trabajo hoy en día es también superior a lo requerido en esta aplicación.

Para seleccionar el modelo de MOSFET a utilizar, se usa el filtro de *farnell* [13], en el cual se introducen los requisitos antes comentados para poder acotar la búsqueda a unos pocos modelos. El modelo más idóneo y económico es IRF3710

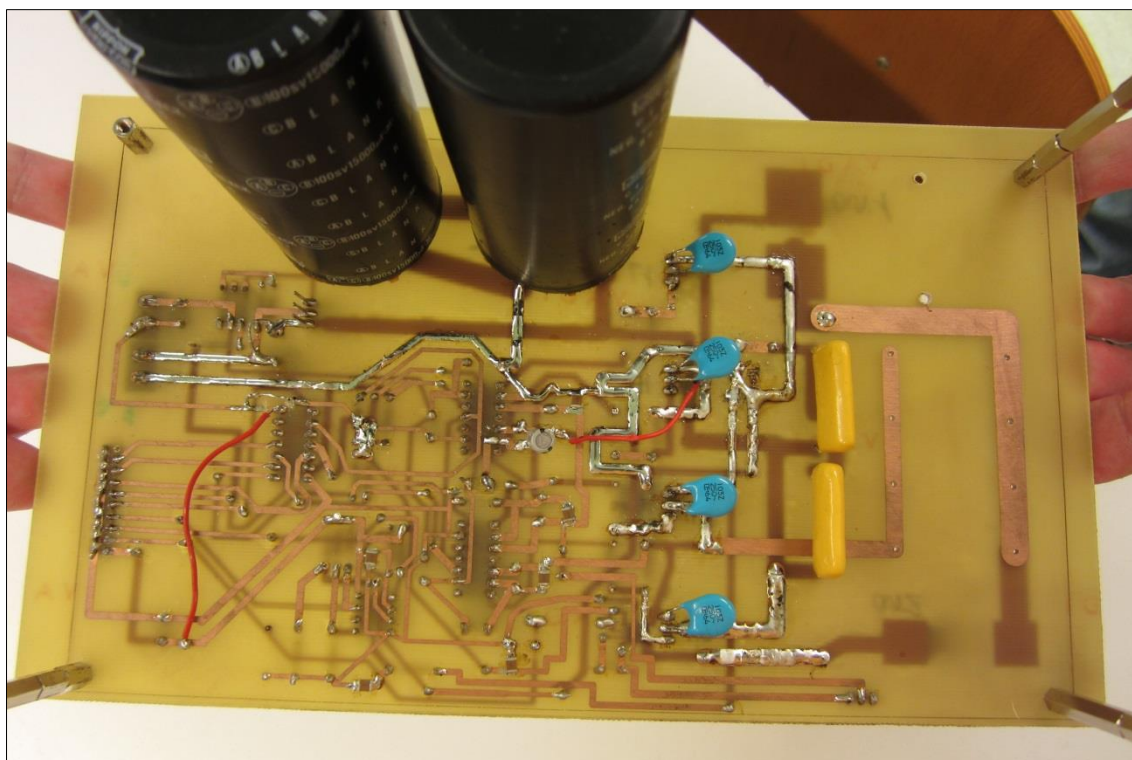
Para seleccionar el amperímetro, se tienen dos únicas condiciones, que su amperaje máximo supere los 10 A y que separe la parte de potencia de la de control. El elemento idóneo para este objetivo, es un amperímetro por efecto hall, el cual ofrece la seguridad de que no habrá ningún retorno de

corriente y además es más resistente ante sobrecorrientes, ya que el sensado y el hilo por donde circula la corriente no están unidos físicamente. De nuevo se introducen los requisitos en el filtro de *farnell* [13] y el modelo que cumple estos requisitos a un precio asequible es ACS712ELCTR.

Una vez finalizados todos los bloques necesarios se procede a la realización de la PCB mediante el *software EAGLE* y después de la realización del circuito impreso, se obtiene la placa de potencia con unas dimensiones de 220x130 mm:



**Figura 37.** Placa de potencia capa top



**Figura 38.** *Placa de potencia capa bottom*

## 2.2. Software PIC

El elemento de control principal de este proyecto es el PIC, debido a que es el responsable de seleccionar la frecuencia de funcionamiento en función de la consigna de corriente del sistema, de informar al operador del estado del sistema y de la frecuencia en uso a partir de un *display* LCD y del paro y *reset* de la aplicación. El usuario puede controlar ciertas consignas a partir de tres botones, cada uno con una función específica según el momento es el que se encuentre la aplicación. El PIC también recibe información de la CPLD para detener la aplicación en el momento en el que se produzca un error de corriente.

Para la programación se utiliza lenguaje C y se compila mediante el entorno PIC *C compiler*. Este entorno está especialmente pensado para trabajar con microcontroladores PIC, a pesar de que no contiene excesivas librerías, sí que contiene un gran registro de modelos de PICs con cada uno de los registros que componen dichos microcontroladores, además es una herramienta gratuita y con un entorno sencillo. En cuanto al programador que será utilizado para volcar el código al microcontrolador se utilizará el PICKIT 2, el programador oficial de Microchip y que permite programar prácticamente todos los PICs del mercado. Este programador se conecta al ordenador mediante un puerto USB y se controla desde el ordenador mediante el software que aporta el fabricante. Esta herramienta permite las funciones básicas de lectura, borrado, escritura, sin embargo añade algunas funciones extra de gran utilidad. Las dos principales características extra son la capacidad de alimentar la placa a través del *PICKIT 2* con una tensión variable seleccionable desde el ordenador y por otro lado la característica de dejar conectado el programador a la placa y activar la característica de autocompilado, que detecta la variación del archivo *.hex* y lo carga automáticamente en la placa, ahorrando mucho tiempo durante las pruebas.

A continuación se explicará la realización de código, llevando a término una solución adecuada para cada una de las necesidades comentadas anteriormente.

### 2.2.1. Configuración inicial

Para que el PIC opere de acuerdo a las exigencias de la aplicación, se deben configurar los registros pertinentes al efecto. En este caso los registros a modificar son:

Código	Descripción
setup_adc_ports(sAN12);	Esta función indica al PIC que el pin 12 será el pin de entrada para el ACD
setup_adc(ADC_CLOCK_DIV_2);	Esta función indica que el reloj del ADC será externo y pasará por un <i>prescaler</i>
setup_spi(SPI_SS_DISABLED);	Este registro desactiva las funciones de <i>master</i> and <i>slave</i> , ya que la transmisión de datos por SPI es unidireccional
setup_timer_0 (RTCC_INTERNAL RTCC_DIV_1);	Esta función selecciona el <i>timer</i> 0 como <i>timer</i> interno y le coloca un <i>prescaler</i> de 1:1. Este <i>timer</i> no se usa en la aplicación, pero en este PIC no es posible desactivarlo
setup_timer_1(T1_DISABLED);	Este registro deshabilita el temporizador 1
setup_timer_2(T2_DISABLED,0,1);	Este registro deshabilita el temporizador 2

**Tabla 3.** Listado de registros de inicio en el PIC

### 2.2.2. Saludo inicial

Esta rutina tiene como único objetivo escribir en pantalla un saludo inicial con el que arrancar la aplicación. Otra de las cosas que muestra por pantalla es el número de versión con el que el microcontrolador está programado. Esto es útil a la hora de comprobar si la programación se ha completado satisfactoriamente y para comprobar que no existe ningún error humano a la hora de elegir el programa a introducir en el PIC.

### 2.2.3. Visualización información en LCD

El LCD de 2 filas y 16 caracteres es el que permite que el sistema se comuniquen con el usuario, por lo tanto debe ser capaz de ofrecer al usuario la información necesaria sobre el sistema y su manejo.

Para la programación del mismo se utiliza una librería que debe ser conseguida a través de internet, ya que es una librería muy usada y



cualquier fabricante de *displays* la ofrece en su web de manera gratuita. La librería que se utilizará será la *flex\_lcd420.c*, capaz de controlar un LCD de hasta 4 filas y 20 caracteres. Esta librería debe ser incluida en el código mediante el comando *include*, para su uso se dispone de una función de inicialización que debe ser llamada antes de escribir en el LCD, la función *lcd\_init()*, dos funciones de escritura: *printf* y *lcd\_putc*, que se diferencian principalmente en que la segunda es una función que envía caracteres directamente al LCD, mientras que la primera permite formatear el texto que se debe enviar. Además *printf* necesita la función *lcd\_putc* para enviar el texto formateado al LCD. La última función utilizada es *lcd\_gotoxy()*, que permite desplazar el cursor a la posición requerida en cada momento.

#### 2.2.4. Transmisión SPI

Una de las funciones más imprescindibles que lleva a cabo el PIC es la de programar el DDS para que genere la frecuencia de funcionamiento adecuada en cada momento, esta programación debe ser continua. La misma se hace efectiva a través de un bus SPI previamente comentado. El PIC debe ser inicializado previamente antes de poder enviar cualquier dato por dicho bus, esto se hace mediante la función *#use spi* seguida de cierta información como puede ser la velocidad de sincronismo (4800 baudios en este caso), donde están topográficamente colocados los pines destinados para el bus, el tipo de enable (activo a 0 en este caso) y la cantidad de bits en cada palabra a ser enviada (16 bits). Una vez preparado el PIC, se envían palabras de 16 bits mediante la función *spi\_xfer*.

En lo que se refiere a la programación del generador de funciones, se deben enviar cinco palabras de 16 bits que contienen toda la información necesaria para rellenar cuatro registros con los que el DDS trabaja. En total este generador de funciones tiene a disposición del programador 7 registros, de los cuales solo se usaran 4. El primero de ellos contiene información acerca del control de la señal, de los demás registros y opciones genéricas del generador. El segundo, el tercero, el cuarto y el quinto son en realidad dos registros dobles que contienen la frecuencia de la señal a generar, en este caso solo se usará uno de estos registros dobles. Por último, el sexto y el séptimo, son registros para seleccionar la fase de la señal a generar, que en este caso será 0.

Ahora se procederá a comentar el primero de los registros:

Numero de bit	Nombre del bit	Descripción
DB15	0	Estos dos bits se utilizan como cabecera, para indicar cuál será la finalidad de la palabra en cuestión ('10'= escritura del segundo registro de frecuencia 1, '01'= escritura del primer registro de frecuencia 0, '11'= escritura de los registros de fase, '00'= escritura de control).
DB14	0	
DB13	B28	Este bit se utiliza para determinar si la transmisión de las dos palabras de frecuencia se harán seguidas o individualmente ( '0' individual, '1' consecutivo).
DB12	HLB	Este bit permite seleccionar cuál de las dos palabras de frecuencia irá primero ('0'= LSB primero, '1'= MSB primero).
DB11	FSELECT	Este bit selecciona que registro de frecuencia se va a utilizar.
DB10	PSELECT	Este bit selecciona que registro de fase se va a utilizar.
DB9	0	Bit reservado a Zero
DB8	RESET	Con este bit se dará la orden de habilitar o deshabilitar el reset del DDS ('0'= reset deshabilitado, '1'= Reset habilitado).
DB7	SLEEP1	Este bit deshabilita el reloj interno de chip
DB6	SLEEP2	A '0' se habilita el DAC para señales sinodales o triangulares, a '1' se deshabilita el DAC para la obtención de una señal cuadrada.
DB5	OPBITEN	Con un '0' se deja abierta la posibilidad de generar una señal triangular o sinodal (controlado con el bit DB1), con un '1' se genera una cuadrada.
DB4	0	Bit reservado a Zero
DB3	DIV2	Con '0' se habilita un divisor de frecuencia que divide en 2 la frecuencia, con '1' se deshabilita el divisor.
DB2	0	Bit reservado a Zero
DB1	MODE	Con DB5 a 0, '0' se genera una sinodal, '1' se genera una triangular. En caso de generar una cuadrada este bit permanecerá a '0'.
DB0	0	Bit reservado a Zero

**Tabla 4.** Bits del registro del DDS

Esta es la primera palabra que debe ser enviada a través del bus. Para realizar cualquier programación del generador de funciones, el bit de *reset* debe estar a nivel alto, esto indicará al DDS que debe estar preparado para rellenar los registros de frecuencia y fase. Por lo tanto la primera palabra que se enviará tendrá la siguiente forma:

- 0010-0001-0110-1000

Siguiendo la tabla anterior se comentará brevemente cada uno de los bits. Los dos primeros indican que la palabra pretende rellenar el registro de control, el siguiente indica que las dos palabras que rellenen el registro de frecuencia se enviarán sin pausa entremedio, el cuarto indica que la primera palabra de frecuencia enviada será la parte baja del registro, el quinto y el sexto indican que tanto el registro de fase como el de frecuencia a utilizar van a ser el número 0, el octavo habilita el *reset* para escritura de frecuencia y fase, el noveno indica que el reloj será externo, el décimo indica que el DAC no será necesario ya que será una señal cuadrada, el undécimo indica que se generará una señal cuadrada, el decimotercero indica que se deshabilita el divisor de frecuencia y por último el decimocuarto bit deberá permanecer a 0, ya que la señal a generar es una cuadrada.

Las siguientes dos palabras a enviar, conforman el valor de frecuencia que el generador deberá generar. El mensaje completo está formado por 32 bits, los dos primeros bits de cada palabra (la cabecera) indican que registro de frecuencia se desea rellenar. Por lo tanto el valor de frecuencia en sí ocupa 28 bits. Para obtener el número binario completo que se debe enviar al DDS para que este genere la señal deseada, sigue la siguiente formula:

$$Valor\ decimal = \frac{Frecuencia\ deseada * 2^{28}}{Frecuencia\ CLK\ DDS} \quad (12)$$

En este caso el valor de frecuencia que se usa como reloj maestro es de 20,858 MHz, ya que es el máximo que la CPLD puede ofrecer. Por lo tanto para crear una señal de una frecuencia de 200 kHz, por ejemplo, se debe realizar el siguiente cálculo:

$$2573933 = \frac{200000 \cdot 2^{28}}{20858000}$$

El valor resultante es 2573933, que pasado a binario es 10011101-00011000000000. Los últimos 14 números son los que, con la cabecera 01 delante, rellenan el registro de frecuencia bajo. Además esta será la primera palabra a enviar. Para la parte alta del registro, se debe rellenar con ceros delante hasta llegar a 14 bits. Por supuesto esta palabra también incorporará la cabecera 01 y será enviada en segundo lugar.

La penúltima palabra a enviar es la responsable de rellenar el registro de fase. En este caso los cuatro primeros bits no influyen en el valor de fase aplicado a la señal, los dos primeros sirven para indicar que la palabra es un valor de fase, el tercero para indicar cuál de los dos registros se pretende programar y el cuarto es un bit de no importa. Por lo tanto el valor de fase

ocupará 10 bits. Para esta aplicación no es necesario un que la señal empiece en un valor de voltaje determinado, por lo tanto el valor de fase en todo momento será 0.

La última palabra a enviar es de nuevo la palabra de control con los mismos valores de bits que al principio, con la salvedad que el bit de *reset* estará en este caso desactivado. Esto indica al DDS que la fase de programación de los registros ha finalizado y que puede empezar a generar la señal deseada.

### 2.2.5. Selección manual de frecuencia

Una de las rutinas programadas en el PIC, es la que permite la selección manual de frecuencia. El objetivo de esta rutina es el de seleccionar con exactitud la frecuencia a la cual trabajará el inversor, debido a que el punto de frecuencia de resonancia tiene un rango ajustado de apenas 1 kHz.

Debido a que la palabra de frecuencia se compone de dos vectores de 14 bits más la cabecera, el número máximo decimal que pueden adquirir ambos vectores es 16383. Por lo tanto cada vez que el vector de la parte baja de la palabra llegue a este número, se debe incrementar en 1 el vector de la parte alta de frecuencia y reinicializar a un valor pequeño el vector bajo de la palabra. El hecho por el cual no se debe reinicializar a 0 es porque a la hora de disminuir la frecuencia, el valor de consigna con el cual el programa disminuye en 1 el valor de la parte alta de la palabra es 0 y por lo tanto entraría en conflicto una condición con la otra, esta misma consideración se debe hacer con el límite máximo del vector bajo. El valor de cabecera es sumado posteriormente, justo antes de que el valor sea enviado por el bus serie.

Afortunadamente, el PIC permite todos estos cálculos con números decimales, cosa que facilita el cálculo de la frecuencia que se está lanzando en cada momento. Para realizar el cálculo del valor decimal completo a partir de dos vectores decimales, se sigue la siguiente formula:

$$\text{Valor decimal completo} = X \cdot 2^b + Y \quad (13)$$

Donde los valores de X e Y son los valores decimales de cada uno de los registros que conforman la palabra de frecuencia sin la cabecera (X es el valor de la parte alta de la palabra e Y el de la baja), b es el número de bits de los cuales se compone uno de los registros (en este caso los dos registros tienen la misma longitud).

Este valor debería ser teóricamente introducido en la formula (12), la cual daría como resultado el valor de frecuencia a mostrar en el LCD. Este procedimiento es muy costoso a nivel de procesamiento y muy poco

optimizado. Para facilitar el trabajo al PIC, se calculan dos constantes que multiplicadas por cada uno de los valores decimales de los vectores que conforman la palabra de frecuencia, dan como resultado el valor de frecuencia a mostrar. Esto es posible ya que tanto los bits que conforman los vectores, como la frecuencia del generador y el número  $2^{28}$  son constantes.

$$\text{frecuencia generada en el DDS} = X \cdot \frac{2^b \cdot \text{clk}}{2^{28}} + Y \cdot \frac{\text{clk}}{2^{28}} \quad (14)$$

A estas dos constantes se les debe dividir por 2 para que el resultado sea el valor de frecuencia a la que trabaja el inversor, debido a que por necesidades de programación, la CPLD divide por la mitad la frecuencia recibida. Por lo tanto los valores de estas dos constantes serán 636,535 para la primera constante y 0.038851 para la segunda.

Este cálculo compone una única rutina diferente a la que selecciona la frecuencia, ya que el cálculo es necesario en otras rutinas, pero para facilitar la explicación se ha incluido en este apartado.

En esta rutina existe una característica extra programada que permite al usuario cambiar la frecuencia de una manera precisa pulsando repetidas veces el botón de subida o de bajado de frecuencia o por el contrario de una manera más rápida manteniendo pulsado uno de los dos botones. Para conseguir esto, simplemente se crea una variable velocidad que se va decrementando en 1 a cada ciclo de programación del DDS. Además se crea un *delay* por el cual la rutina ha de pasar en cada ciclo de programación con un valor en milisegundos igual a la variable velocidad. De este modo cada ciclo de programación tiene un *delay* más corto que el anterior. Una vez se suelta el botón, la variable velocidad vuelve a su estado de origen.

Existe otra rutina de selección de frecuencia manual anterior a esta. La principal diferencia entre ambas es que los saltos de frecuencia son mucho más grandes (solo se configura la parte alta del registro) y el DDS no es configurado hasta que el usuario presiona el botón de *enter*. Esta rutina de selección previa tiene como objetivo aproximar el valor de frecuencia a usar antes de programar el generador para que la selección de frecuencia precisa empiece en un valor más cercano al de resonancia de la carga.

### 2.2.6. Selección automática de frecuencia

El objetivo de esta rutina es el de buscar la frecuencia optima de trabajo del ondulator para la carga conectada a él. Para realizar esta tarea, la rutina debe leer el valor de voltaje a la entrada seleccionada como entrada analógica, este valor cambia de manera directamente proporcional en función de la corriente que circule por el tanque.

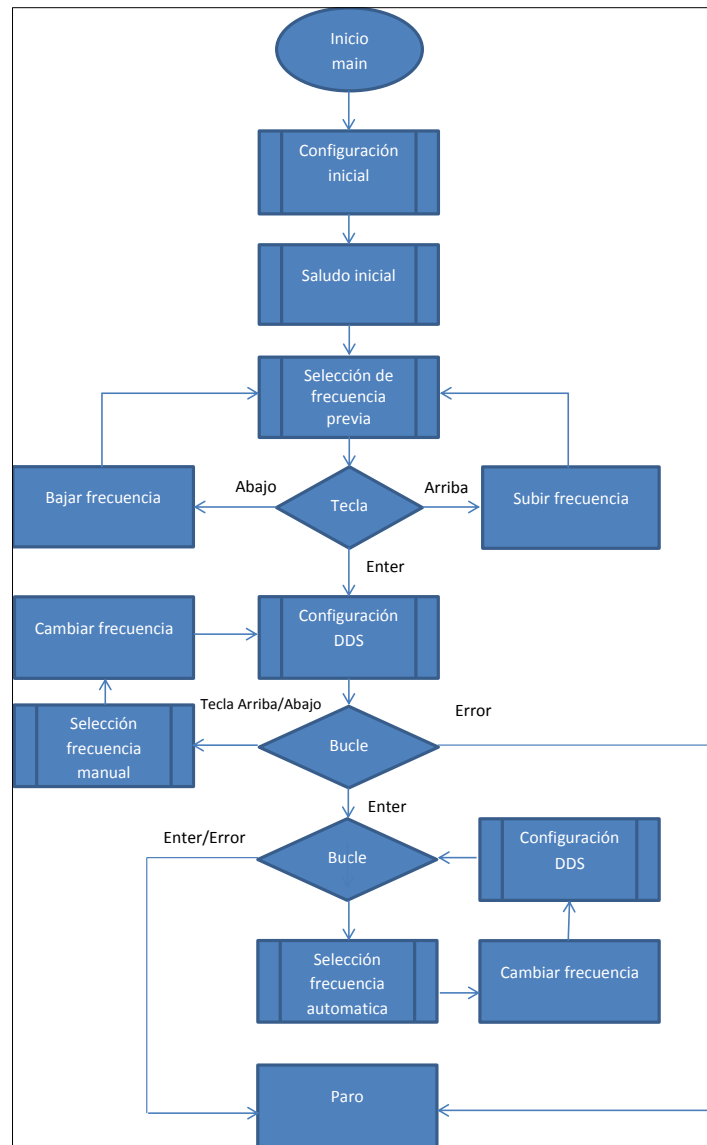
El usuario es quien debe indicar la frecuencia inicial por la cual la búsqueda empieza, que debe ser siempre superior a la de resonancia, ya que por encima de esta frecuencia, la carga adquiere un comportamiento inductivo que es una zona de trabajo óptima para los transistores del puente.

Una vez se haya seleccionado una frecuencia inicial por encima de la de resonancia, la rutina debe disminuir la frecuencia, aumentando así el valor de corriente, ya que se está aproximando cada vez más al punto máximo de corriente. En el momento en que el valor de corriente empiece a disminuir, el PIC habrá encontrado el punto de resonancia en la carga. Cuando el PIC llegue a la frecuencia de resonancia, este debe situarse entre 500 y 1000 Hz por encima de ésta para asegurar un comportamiento inductivo de la carga.

### 2.2.7. Programa principal

El programa principal es el encargado de lanzar las rutinas programadas en el orden preciso y permitir que todos los elementos del sistema funcionen tal y como se desea. Además lleva a cabo algunas tareas que por su poca complejidad no es necesario hacer una rutina para ellas, esto es por ejemplo la activación del *enable* o del *reset* y la aparición de los mensajes de error de las ramas del ondulator.

El programa principal sigue un orden concreto que será explicado en el siguiente diagrama de flujo:



**Figura 39.** Diagrama de flujo del programa principal

En este diagrama de flujo se puede observar rápidamente la estructura general del sistema, iniciando el programa con la rutina de inicialización de los registros del PIC y posteriormente entrando en una rutina de saludo inicial. A continuación el PIC entra en una rutina de estado previo al funcionamiento de la aplicación, en la cual la puesta en marcha del generador no es efectiva hasta que el usuario presiona el botón de *enter*. Una vez se selecciona la frecuencia deseada, el programa principal lanza la rutina de configuración del generador y lanza un mensaje por el LCD con la palabra “funcionando” para indicar al usuario que la aplicación está en marcha. Justo a continuación el PIC entra en un bucle infinito, en el cual espera a que el usuario presione cualquier tecla de cambio de frecuencia para lanzar la rutina de cambio manual de frecuencia, para después volver a esperar a que la frecuencia deba ser cambiada de nuevo. Para proseguir hasta el siguiente modo de funcionamiento, se presiona *enter*, donde el PIC vuelve a entra en bucle infinito, con la salvedad que en este caso no se

espera reacción del usuario, sino que directamente se lanza la rutina de recogida de datos del puerto analógico, para así poder ir cambiando la frecuencia hasta la frecuencia de trabajo óptimo, para parar la aplicación en ese momento basta con presionar la tecla *enter*.

En todos los bucles infinitos existe la condición de que si ocurre un error de corriente, la aplicación entra en estado de paro para evitar daños mayores. Según la naturaleza del paro (manual, error en la rama 1 o error en la rama 2) el programa lanza un mensaje u otro por la pantalla LCD.

## 2.3. Software CPLD

El elemento encargado de modular la señal generada por el DDS es la CPLD. Este elemento ofrece muchas posibilidades a la hora de poder modificar la señal que será enviada al convertidor, no solo eso sino que también se puede multiplicar para ser enviada por varias pistas a la vez, pudiendo también crear pares opuestos para activación de los transistores.

Para programar la CPLD se utiliza lenguaje VHDL, este lenguaje no es tan utilizado como otros y por lo tanto la información que se puede recopilar por internet es más reducida. A la hora de crear un programa en VHDL se debe hacer un pequeño ejercicio de cambio de perspectiva, ya que este lenguaje trabaja de manera combinacional, es decir, que varias tareas pueden trabajar en paralelo.

Para poder programar elementos de este tipo, como puede ser una CPLD o una FPGA, el fabricante *xilinx* tiene a disposición del usuario un programa de programación llamado *Xilinx ISE Design Suite*, el cual dispone de multitud de librerías y de componentes.

El elemento principal del programa es el *top*, aquí es donde se programará las tareas principales que debe realizar la CPLD. Para llevar a cabo este objetivo, se pueden programar diferentes componentes a parte a modo de tareas, las cuales pueden llegar a trabajar al mismo tiempo de forma paralela.

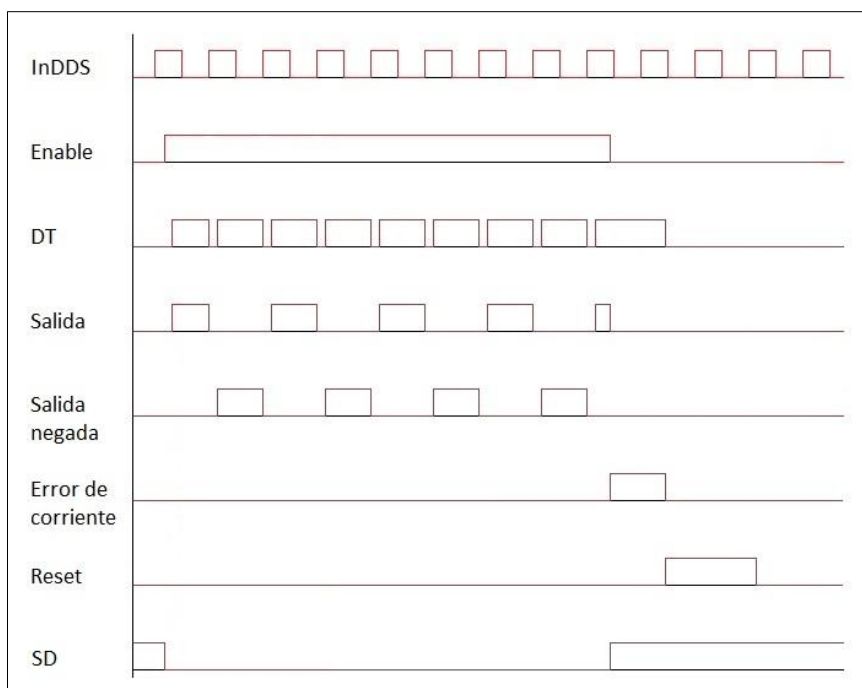


Las variables de entrada y de salida que hay que tener en cuenta a la hora de programar son:

Nombre	Tipo	Descripción
clk	In	Este es la señal de reloj generada externamente por el cristal y que se usa como reloj general de la aplicación
InDDS	In	Esta es la señal que genera el DDS y la que se usará para generar la señal de activación
<i>Enable</i>	In	Con esta señal el PIC detiene la aplicación
<i>Reset</i>	In	Con esta señal el PIC resetea la CPLD
ErrorR#	In	Esta señal de entrada proviene de la placa de potencia, informando de una fallo en alguna de las dos ramas del ondulator
PICerrorR#	Out	Esta señal de salida se usa para informar al PIC de la anomalía en la rama del puente
clkDDS	Out	Esta señal de salida es la que proporciona el reloj de trabajo al DDS
a/b#	Out	Estas cuatro señales son las señal de activación de cada uno de los transistores
SD	Out	Con esta señal de salida se detiene el inversor por orden del PIC o por error de corriente

**Tabla 5.** Variables principales en el programa de la CPLD

Para que la aplicación funcione y la CPLD envíe señales por los 4 pines de los transistores hay que tener en cuenta varias variables: que no haya error de corriente, que el *enable* este activo y que la variable DT (*dead time*) este activa. Esta variable es una señal secundaria que se crea con el objetivo de retrasar la activación de los transistores un determinado instante de tiempo. Por lo tanto las salidas de activación y las variables que las condicionan tomaran los siguientes perfiles:



**Figura 40.** Perfiles de las señales de mayor importancia en la CPLD

Para conseguir que la señal de DT adquiriera ese perfil, se la dota de un contador que se reinicializa a cada flanco de subida de la señal generada en el DDS y que priva a la señal DT de adquirir un nivel alto hasta que haya rellenado la consigna programada. En el momento que ocurre un error de corriente en alguna de las ramas del ondulator, la señal de DT conserva su estado previo hasta el momento en que el PIC envía una orden de *reset*, momento en el cual, todas las señales vuelven a su estado inicial.

Además, los flancos de subida de la señal generada por el DDS provocan la alternación de las señales de salida. La señal de SD es completamente complementaria a la de *enable*.

Para dotar al generador de funciones de un reloj maestro con el que poder operar, se hace mandar una señal cuadrada por uno de los pines a la patilla de reloj del DDS. Esta señal será de frecuencia mitad a la frecuencia de la CPLD, esto quiere decir que su valor de frecuencia estará en torno a los 20 MHz, que es una frecuencia idónea de trabajo, ya que las frecuencias a generar no superan los 400 kHz. El hecho de que la señal de reloj adquiriera un valor igual a la mitad de la frecuencia de trabajo de la CPLD es debido a que esta señal esta creada a partir de un componente que detecta los flancos de subida de la señal de reloj de la CPLD, cada vez que ocurre este evento, el componente niega el estado anterior de la salida.

Esta actividad es construida en un componente aparte del programa principal, debido a que de esta manera es más independiente a la hora de trabajar en paralelo y se facilita el posible cambio de frecuencia (a una frecuencia más baja) del reloj del DDS.

# **CAPÍTULO 3:**

## **SIMULACIONES DEL**

### **TANQUE RESONANTE**

En este capítulo se llevarán a cabo las simulaciones que se han realizado para poder calcular la frecuencia de resonancia de la carga en diversas situaciones. Además esto permitirá aproximar cual será la frecuencia de resonancia en una situación real con componentes reales. Para realizar todas las simulaciones se ha utilizado el *software* de cálculo matemático *MATLAB* [14], el cual ofrece una potencia de cálculo más que suficiente para realizar las simulaciones pertinentes. El programa tiene una interfaz de uso fácil e intuitivo, además dentro del mismo *software* existe un paquete de ayuda amplio para consultar todas las funciones que se integran.

#### **3.1.Código *MATLAB***

Para poder simular en *MATLAB*, se debe crear un código que modele el circuito a simular. Para facilitar el cálculo con elementos pasivos que almacenan energía (condensadores y bobinas) se transforman todas las formulas al entorno de *Laplace*. El primer paso es crear una variable *S* que sea igual a la transformada de Laplace para multiplicar más adelante los valores de capacidad e inductancia de los elementos pasivo, para obtener la impedancia.

A continuación se definen todos los elementos que conforman el sistema y se les proporciona un valor de capacidad o inductancia y resistencia parasita. Seguidamente, crear tres variables, una para cada elemento pasivo exceptuando la resistencia de carga, en las cuales se multiplique el valor de capacidad o inductancia por *S* y se les sume el valor de resistencia parasita, esto es necesario para obtener las impedancias que conforman el sistema.

Para crear el circuito, se asocian las impedancias del sistema según sean serie o paralelo, para a continuación crear la función de transferencia G con la cual se trabajará.

Por último se acota el rango de frecuencias que debe dibujar el programa para poder facilitar la lectura del diagrama de bode, para a continuación ordenar a MATLAB que genere el diagrama dibujando la ganancia (función de transferencia) y la impedancia total todo ello en función de los parámetros de acotación previamente establecidos.

```
clear;
s=tf('s'); % Transformada de Laplace
%-----
Ls=35e-6; Rls=0.0001; % Valores elementos pasivos
Lp=0.6e-6; Rlp=0.001;
Cp=(0.33e-6)*7; Rcp=0.001;
R=50e6;
%-----
ZLs=s*Ls+Rls; % Impedancia inductor serie
ZLp=s*Lp+Rlp; % Impedancia inductor paralelo
ZCp=1/s/Cp+Rcp; % Impedancia condensador paralelo
%-----
Zs=ZLs; % Impedancia serie
Zp=1/(1/ZLp+1/ZCp+1/R); % Impedancia paralelo
Zt=Zs+Zp; % Impedancia total
%-----
G=Zp/Zt; % Función de transferencia
%-----
w=logspace(5,7,1e5); % Rango de simulación
P = bodeoptions; % Habilitación opciones del bode
% por consola
P.FreqUnits = 'Hz';
P.MagUnits = 'abs';
P.MagScale = 'log';
h = bodeplot(G, Zt, w, P); % Orden de simulación del sistema
```

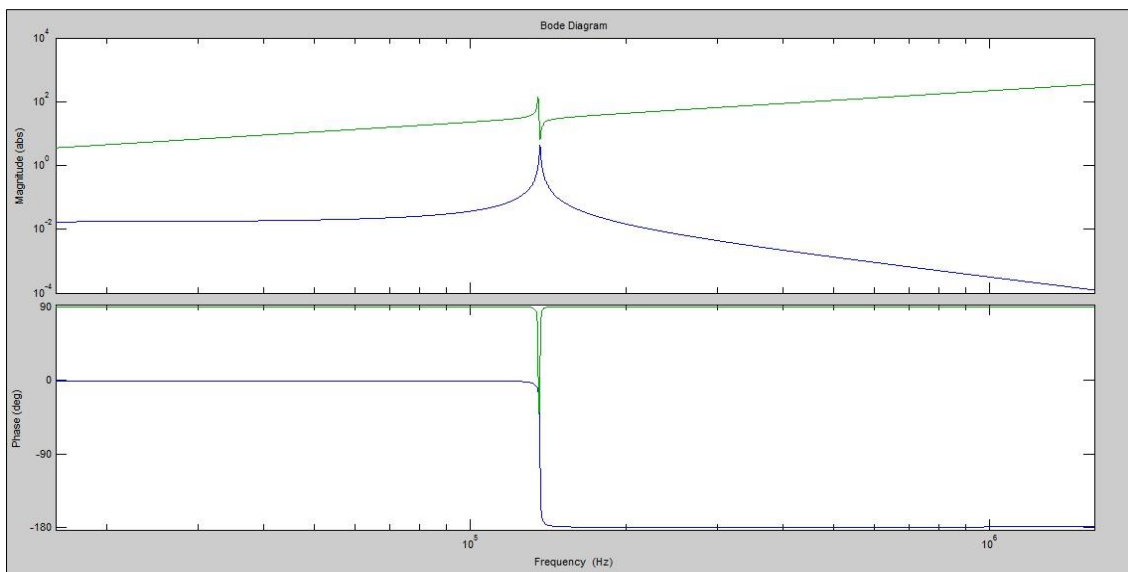
**Figura 41.** Código MATLAB

## 3.2.Lluvia de hipótesis

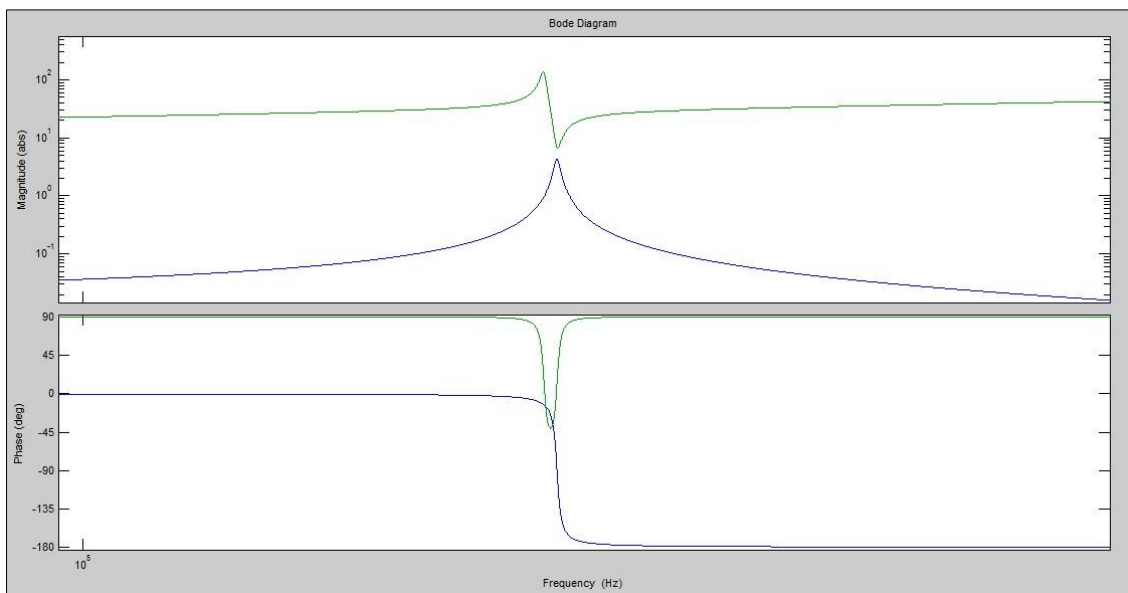
En este apartado se lanzarán una serie de hipótesis para comprobar la influencia de cada componente dependiendo de su valor de capacidad o inductancia. Esta serie de experimentos tienen una gran importancia para observar cómo se comporta el tanque resonante y toda la aplicación en sí.

Los valores nominales que se escogen como referencia, se han elegido observando diferentes inductancias en el mundo real, para comprobar que inductancia aproximada puede tener una bobina de las características necesarias para el calentamiento de piezas de metal, la bobina debe tener un tamaño suficiente como para alojar en el centro una pieza de metal como puede ser un tornillo. La otra característica que debe tener este tanque resonante es que el condensador que va colocado en paralelo con la bobina que crea el fenómeno de inducción debe ser en realidad una batería de condensadores por dos razones. La primera para repartir la corriente que circula por ellos, ya que se podría estar hablando de corrientes de 10 A o superiores y un solo condensador se calentaría en exceso (debido a su resistencia parasita y a las resistencias parasitas que se crean en la soldadura). El segundo factor es que la resistencia de condensadores en paralelo disminuye, ya que es una suma de resistencias parasitas en paralelo y por ello se deben sumar sus inversas.

En el primer caso a simular se proporcionará a la bobina paralelo del tanque resonante, un valor medio extraído de las mediciones en el laboratorio de 0,6  $\mu\text{H}$ . Para los condensadores en paralelo, se introducirá un valor de capacidad para cada uno de los condensadores de 0,33  $\mu\text{F}$  y la variable a cambiar será el número de condensadores a simular, en este caso se simularán 7 condensadores. La bobina serie obtendrá un valor de 35  $\mu\text{H}$  ya que es la bobina real que se usará en las pruebas reales. Por último el valor de resistencia de la carga obtendrá un valor elevado, para simular las pérdidas que se producen por el efecto *skin* y *Joule*, este valor será de 50  $\text{M}\Omega$ . Todos los elementos pasivos que almacenan energía (bobinas y condensadores) tienen asociada una componente resistiva debida a su característica real, esta resistencia se suele representar como un componente resistivo serie a cada elemento pasivo. Este valor de resistencia adquirirá un valor de 1  $\text{m}\Omega$  para cada elemento del tanque.



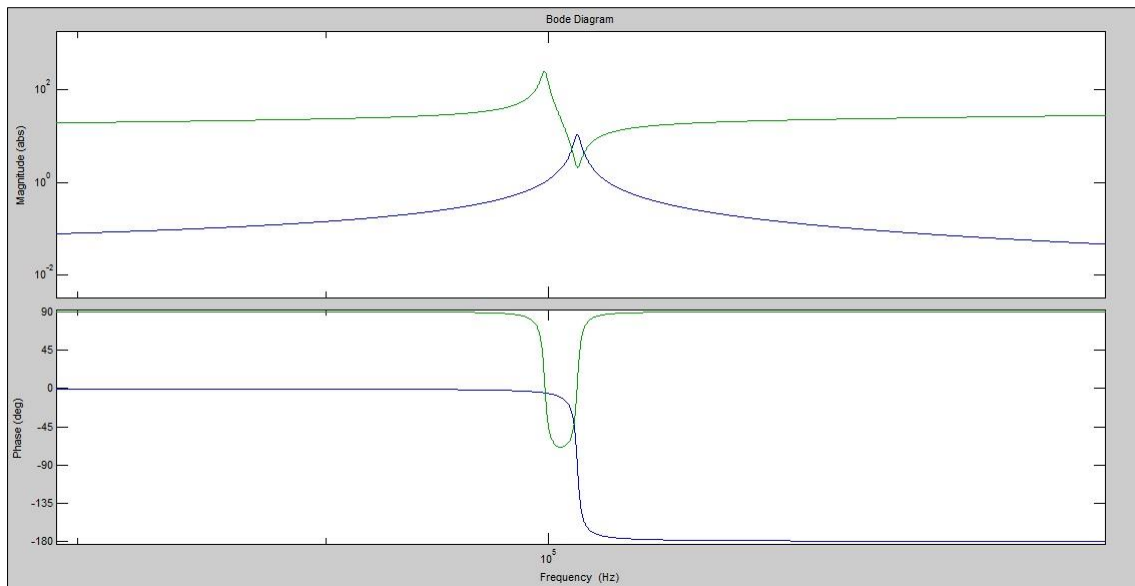
**Figura 42.** Diagrama de bode, hipótesis inicial



**Figura 43.** Diagrama de bode, zoom de la figura ...

Como se puede observar en las figuras anteriores, existe un máximo de corriente con una ganancia de 4,3 en valor absoluto, lo que se traduce como 4,3 A por cada voltio administrado a la carga. En ese mismo punto la impedancia presenta un mínimo de 6,6  $\Omega$ . Todo esto ocurre a una frecuencia de 136 kHz.

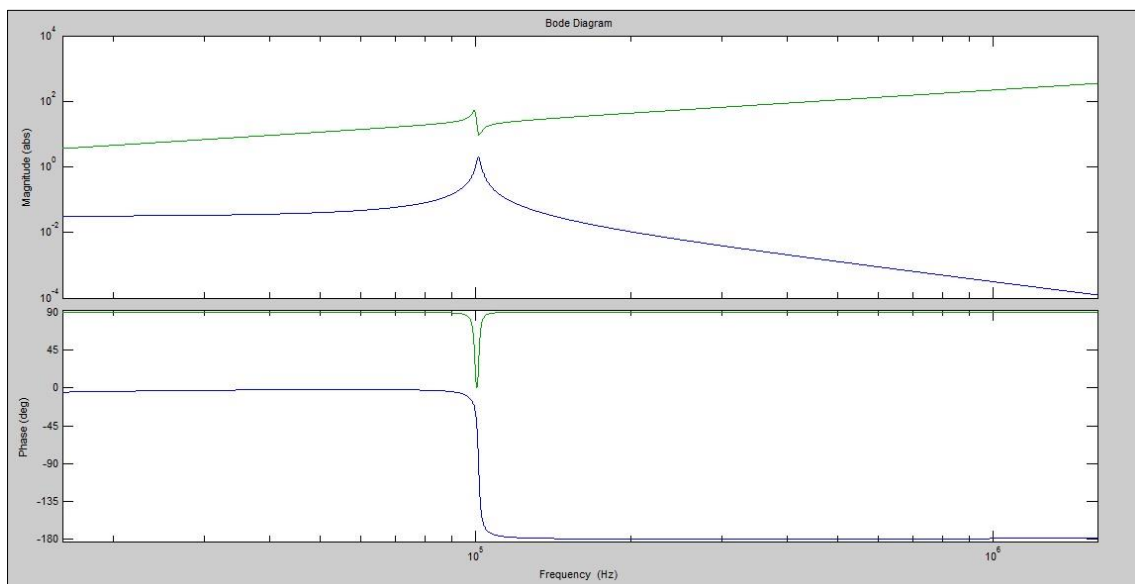
En el siguiente paso se va a aumentar el valor de la bobina paralelo, para observar cuales son los cambios en la ganancia de la carga. El nuevo valor de la bobina será de 1,1  $\mu\text{H}$ .



**Figura 44.** Diagrama de bode, bobina paralelo 1,1 uH

En este caso la ganancia muestra una ganancia de 10,7 A por cada voltio y la impedancia obtiene un valor de 2,07  $\Omega$ . Esto ocurre a una frecuencia de 101 kHz.

Aumentando la inductancia de la bobina paralelo, incrementa también la ganancia del sistema, por lo tanto es interesante conseguir bobinas de valores de inductancia grandes. En la siguiente simulación se elevara el valor de resistencia parasita de la bobina paralelo a 10 m $\Omega$  manteniendo el valor de inductancia.



**Figura 45.** Diagrama de bode, bobina paralelo 1,1 uH y 10 m $\Omega$

En este caso la ganancia disminuye hasta 2 A por voltio y la impedancia del sistema adquiere un valor de 9,28  $\Omega$ . La frecuencia del evento no cambia respecto al caso anterior. La lectura que se extrae de esta simulación es

que es muy importante que la bobina paralelo no tenga un recorrido muy grande (pocas espiras y un tamaño pequeño) pero que sin embargo ha de tener una sección de cable grande para que disminuya su resistencia. Este último requisito choca con el primero, ya que cuantas más espiras más inductancia, pero también más recorrido y por lo tanto más resistencia

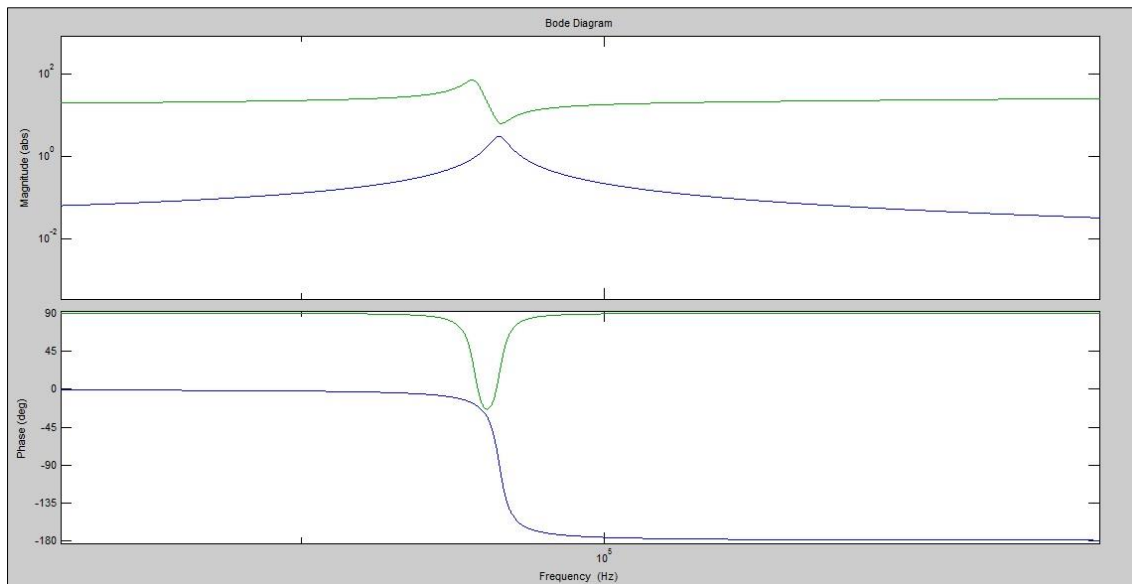
$$L = \frac{n^2 \cdot \mu \cdot \frac{\pi}{4} D^2}{l_e} \quad (15)$$

La fórmula anterior calcula la inductancia de una bobina a partir de los parámetros de diámetro, numero de espiras y longitud efectiva del campo magnético que provoca. Se puede observar que los dos valores que maximizan el valor de inductancia son el número de espiras y el diámetro de la bobina, mientras que el valor que la minimiza es la longitud efectiva.

$$R = \rho \frac{l}{S} \quad (16)$$

Por otro lado la fórmula de la resistencia hace hincapié en la idea de minimizar la longitud y maximizar la sección del cable de la bobina para disminuir la resistencia.

En la siguiente simulación, se tomara el valor de la bobina paralelo de la primera simulación y se hará variar el número de condensadores de 7 a 14, variando por tanto el valor total de capacidad del sistema.



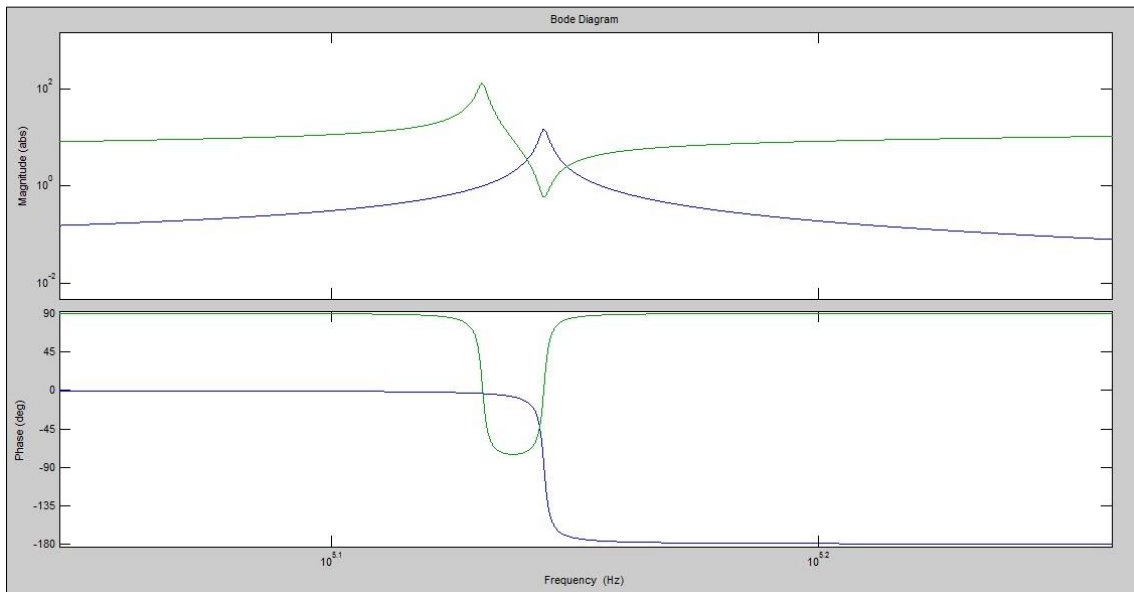
**Figura 46.** Diagrama de bode, condensadores paralelo 0,33 uF · 14

En este caso se puede observar como el valor de ganancia cae hasta 3,06 A por voltio con respecto a los 4,3 A por voltio del caso inicial. Por lo tanto la lectura que se extrae de esta simulación es que el valor total de capacidad del sistema se debe mantener bajo, pero el número de condensadores que se implementan en el tanque debe ser elevado. Por lo tanto, cuantos más



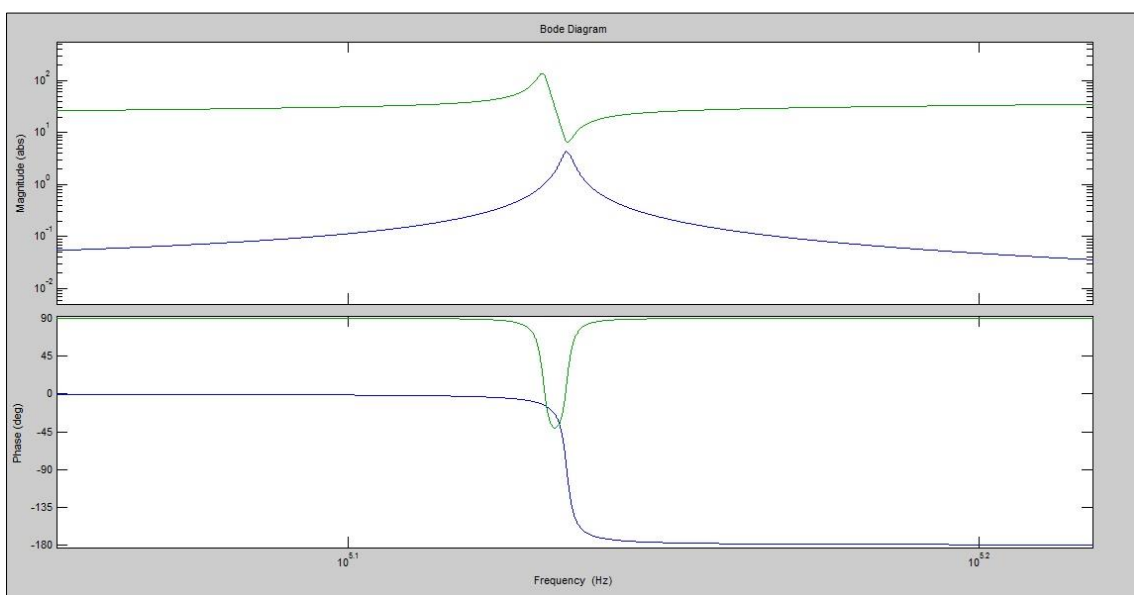
condensadores que pretendan poner en el sistema, más pequeño debe ser su valor de capacidad individual.

Por último se volverá a tomar los valores por defecto de la primera simulación, pero con la diferencia que se hará disminuir la inductancia de la bobina serie de 35  $\mu\text{H}$  a 10  $\mu\text{H}$  para observar el nuevo comportamiento del tanque. En una segunda simulación se cambiará el valor de resistencia de la bobina por un valor más bajo de 0,1  $\text{m}\Omega$  con el valor por defecto de inductancia de la primera simulación.



**Figura 47.** Diagrama de bode, bobina serie 10  $\mu\text{H}$  y 1  $\text{m}\Omega$

En este caso, la ganancia aumenta hasta 14,8 A por voltio a una frecuencia de 139 kHz.



**Figura 48.** Diagrama de bode, bobina serie 10  $\mu\text{H}$  y 1  $\text{m}\Omega$

En este caso el valor de ganancia se mantiene en 4,3 A por voltio, de lo cual se extrae que el valor de resistencia de la bobina serie no influye y solo aporta alguna mejora el hecho de disminuir su inductancia para aumentar la ganancia.

Por lo tanto, el resultado que se extrae de estas simulaciones es que los valores de las bobinas influyen enormemente en el valor de ganancia, el valor de inductancia de la bobina paralelo debe ser máximo mientras que el valor de la bobina serie debe ser mínima. Por otro lado el valor total de la parte inductiva del sistema se debe mantener bajo, aumentando el número de condensadores en paralelo y disminuyendo su valor de capacidad individual.

# **CAPÍTULO 4:**

## **PRUEBAS EN**

### **LABORATORIO**

Una vez se tiene el sistema construido, los elementos programados y se conoce la frecuencia aproximada a la cual debe trabajar el ondulator según la carga que se le coloca, se procede a probar el prototipo en el laboratorio con diferentes cargas en la salida para observar su funcionamiento ante diferentes situaciones. Son tres las principales pruebas que se deben hacer para verificar su funcionamiento: en vacío, con carga resistiva y por último con el tanque resonante.

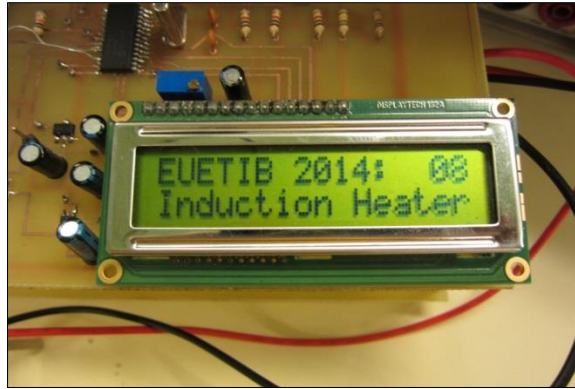
Estas pruebas son de suma importancia ya que no solo permiten verificar su funcionamiento, sino que permiten detectar fallos que tan solo se pueden percibir en una situación real, como puede ser calentamiento de los transistores.

#### **4.1.Funcionamiento en vacío**

Las primeras pruebas se deben llevar a cabo en vacío, ya que es la situación de funcionamiento menos dañina para el ondulator debido a que no existe ninguna carga por la cual hacer circular corriente y en la salida del ondulator tan solo aparece un voltaje en forma de señal cuadrada.

Con esta prueba se pretende únicamente corroborar que el ondulator funcione correctamente y que la programación del PIC. Para realizar la prueba se elevará el voltaje del bus de continua a 40 V y se realizarán los pasos de encendido desde el PIC. Las mediciones sobre la salida se realizarán mediante un osciloscopio.

La primera prueba será comprobar que el programa insertado en el PIC es el correcto, para ello se debe observar el número que aparece justo después del mensaje de saludo inicial.

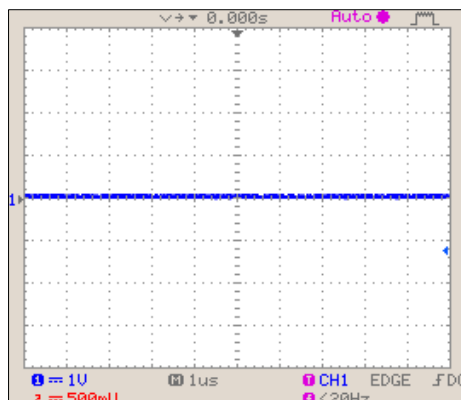


**Figura 49.** LCD con mensaje inicial

Después de esta rutina el PIC debe entrar en la rutina de selección previa de frecuencia, en la cual se podrá seleccionar la frecuencia antes de la puesta en marcha. Para comprobar que esta rutina funciona correctamente, se debe reiniciar el sistema varias veces, con frecuencias iniciales diferentes, para comprobar que el PIC realmente está programando el generador de funciones con la frecuencia deseada.

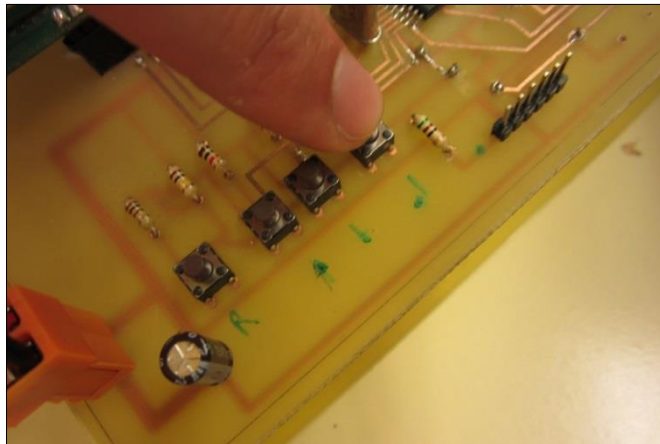


**Figura 50.** LCD con frecuencia inicial

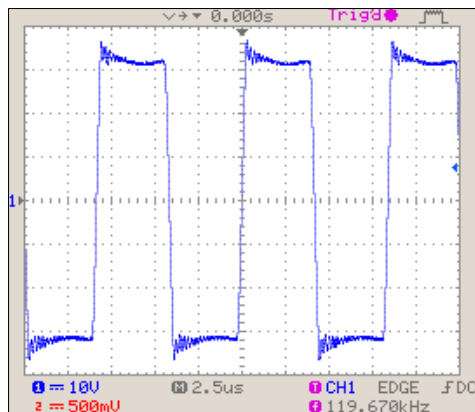


**Figura 51.** Captura de osciloscopio sin tensión a la salida del sistema

El ondulator no se pone en marcha debido a que tiene que ser el usuario quien se lo indique pulsando el botón *enter*.



**Figura 52.** Usuario pulsando enter



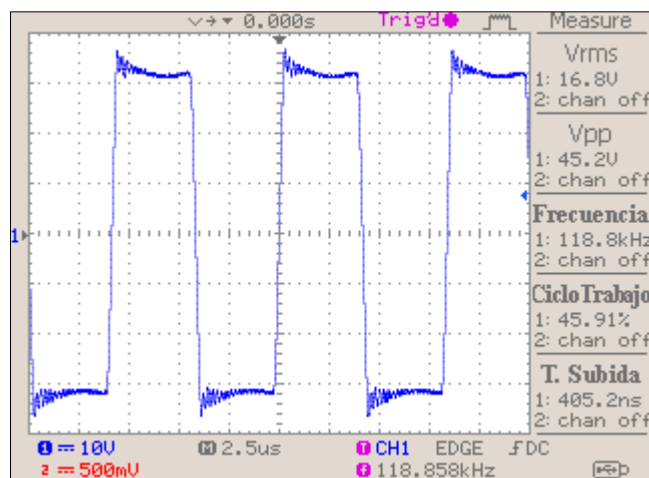
**Figura 53.** Captura de osciloscopio con tensión a la salida del sistema

Una vez pulsada la tecla correspondiente, el inversor comienza a trabajar a la frecuencia seleccionada en el inicio de la aplicación. Se puede observar como el inversor crea una señal de trabajo cuadrada como se había previsto. La cual tiene una amplitud igual a la alimentación en ambos sentidos, lo cual indica que las dos ramas del ondulator funcionan perfectamente.

Por último en este apartado, se debe comprobar que la rutina de selección de frecuencia durante el funcionamiento del sistema funciona, para ello se cambia la frecuencia inicial, por otra al azar.



**Figura 54.** LCD con frecuencia escogida al azar

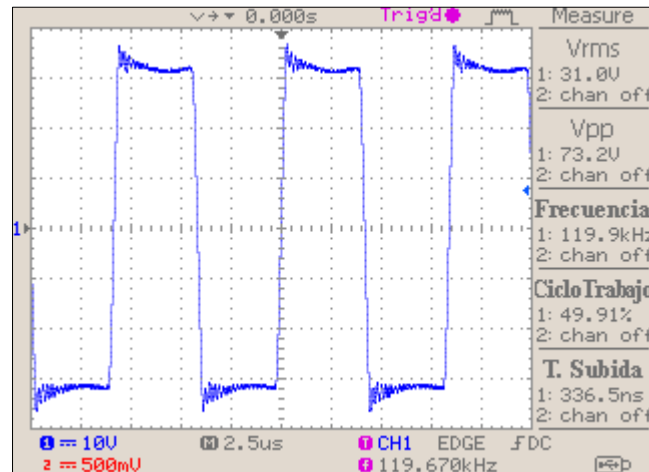


**Figura 55.** Captura de osciloscopio con la frecuencia anterior

Como se puede observar en la captura de pantalla de osciloscopio, el ondulator pasa a trabajar con la nueva frecuencia elegida. Hay que tener en cuenta que la rutina no introduce en el sistema la nueva frecuencia hasta que el usuario no separa el dedo del botón de cambio de frecuencia, debido a que cuando el PIC está "viajando" hacia otra frecuencia lo más rápido posible, el DDS no es capaz de seguir ese ritmo de cambio, y por lo tanto crea ruidos en el sistema.

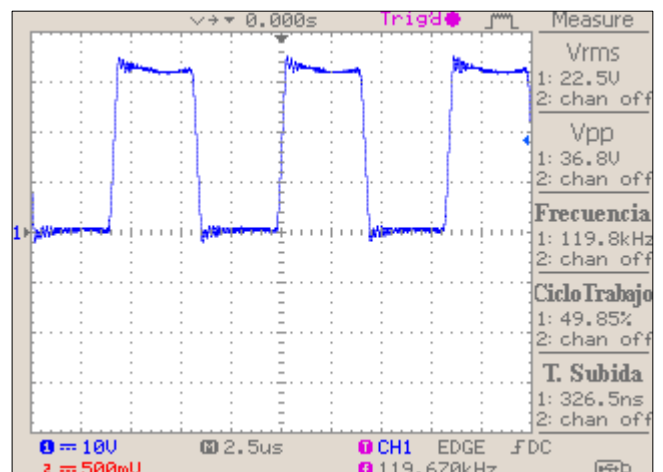
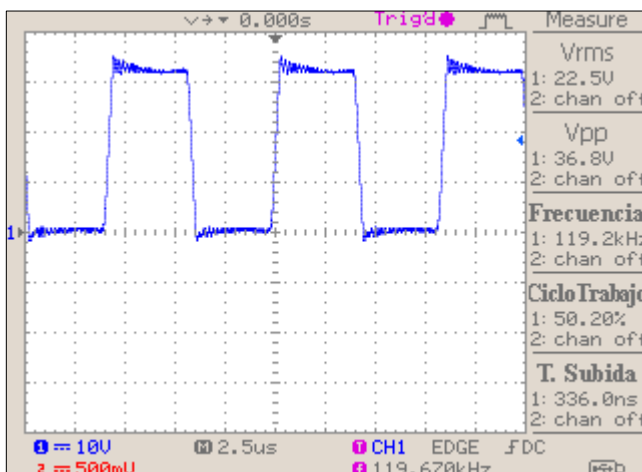
## 4.2. Funcionamiento con carga resonante

Una vez se ha comprobado que el ondulator es capaz de generar una señal cuadrada con amplitud igual a la de alimentación, es el momento de colocar en la salida del mismo el tanque resonante donde se produce el efecto de inducción magnética. El primer paso es observar a la salida en funcionamiento.



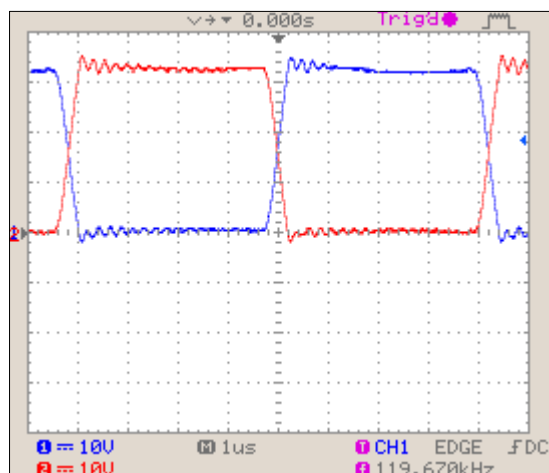
**Figura 56.** Captura de osciloscopio de la salida en funcionamiento

La figura muestra una imagen muy similar a las anteriores, ya que la carga no afecta al funcionamiento del ondulator. Para comprobar que las dos ramas funcionan individualmente se hace una captura en cada rama respecto a masa.



**Figura 57 y 58.** Capturas de osciloscopio de cada una de las ramas del ondulator

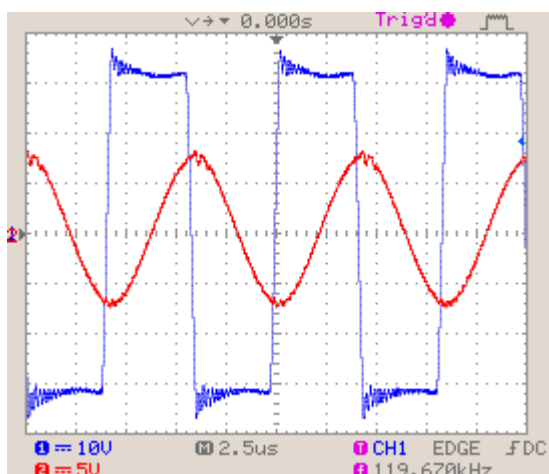
Para comprobar que las dos ramas funcionan de una manera simétrica, se utilizan los dos canales del osciloscopio, y se dibujan las dos señales una encima de la otra.



**Figura 59.** Captura de osciloscopio de las dos ramas del ondulator (rama 1: CH1; rama 2: CH2)

Como se puede observar en la imagen anterior, las dos ramas trabajan de manera simétrica. Ninguna de las dos señales llega a solaparse en el punto máximo de trabajo gracias al efecto del *dead time* introducido por la CPLD en la señal de activación de los transistores. Es muy importante que las dos ramas trabajen de una manera muy similar, para asegurar que se consigue una frecuencia muy estable de trabajo ya que siendo de otra manera, la frecuencia de resonancia sería casi impracticable.

En la última comprobación se observa la salida del ondulator respecto a la tensión que existe en los condensadores de la carga.



**Figura 60.** Captura de osciloscopio con la salida respecto a la tensión de los condensadores



Como se ha podido ver, la tensión del tanque resonante está atrasada  $90^\circ$  respecto a la alimentación, no solo eso, si no que por efecto de la carga resonante la forma de onda pasa a tener un aspecto senoidal. Como se ha podido observar, todas las pruebas con la carga, se han hecho con un voltaje de 30 V.

Por último se hace una pequeña prueba, que consiste en colocar un tornillo de material ferromagnético en el centro de la bobina con el objetivo de fundir estaño.



**Figura 61.** Estaño fundido debido a la temperatura adquirida por el tornillo



# **CAPÍTULO 5:**

## **CONCLUSIONES Y**

## **PROPUESTAS DE**

## **MEJORA**

Una vez finalizada esta memoria se puede realizar un análisis global de la realización del mismo, comprobar si se han cumplido los objetivos propuestos inicialmente y además proponer posibles mejoras al proyecto que permitirán ampliar su funcionalidad o mejorar su rendimiento.

Como primera conclusión se puede afirmar que este trabajo ha servido para reafirmar los conocimientos adquiridos a lo largo de la carrera e incluso ha permitido ampliarlos en múltiples aspectos, obligando a realizar búsquedas de información (teniendo en cuenta el peligro que esto supone, por la cantidad de fuentes de información poco fiables que se pueden encontrar, sobretudo en Internet) sobre temas clave que no se habían analizado con detalle a lo largo de la carrera. Además, este proyecto ha sido útil para ampliar los conocimientos en ámbitos muy variados y muy importantes para un ingeniero electrónico pero que no se han podido tocar en profundidad en la carrera, como por ejemplo la realización de un prototipo en placa de topes y en placa de circuito impreso de doble cara.

En cuanto a los objetivos concretos que se habían planteado para este proyecto, se analizará uno por uno si se ha llegado a cumplir ese objetivo y hasta qué punto se ha llegado a cumplir:

El primer objetivo a cumplir era el diseñar un ondulator y su electrónica de control para posteriormente llevarlo a la práctica, elaborando unas placas de circuitos impresos. Este objetivo está cumplido ya que se ha podido hacer efectiva la elaboración de unas placas de circuitos impresos de manera artesanal y al alcance de cualquier usuario. Además se ha hecho efectiva la creación de una tercera placa más sencilla, con la que se

alimenta toda la electrónica que conforma el ondulator y su electrónica de control.

El segundo objetivo que se perseguía era el de crear un ondulator que trabajase de una manera fiable con elementos que estuviesen al alcance del usuario. Este objetivo queda cubierto, ya que el ondulator funciona de una manera correcta a lo largo del tiempo, sin crear interferencias entre los diferentes elementos del sistema ni creando espacios temporales en los cuales no funcione, esto ha sido posible gracias al correcto tratamiento de las señales que circulan entre ambas placas a través de un cable plano. Además los detalles económicos que se encuentran en su memoria correspondiente, indican que se puede conseguir diseñar un ondulator capaz de llevar a cabo un calentamiento por inducción por un presupuesto de unos 270 € si se llegase a producir en serie, con lo que se puede considerar un objetivo cumplido.

Otro objetivo a cumplir era el estudio teórico del fenómeno de la inducción, así como el estudio del comportamiento de ciertos componentes pasivos ante la corriente en frecuencia. Este objetivo queda también cumplido, ya que se ha conseguido calentar una pieza metálica de material ferromagnético a partir de estos dos fundamentos.

En cuanto a la problemática de colocar una carga que necesite consumir una corriente tan elevada como es un tanque resonante a un ondulator, se han colocado diferentes sistemas que aseguran la correcta funcionalidad del ondulator en el momento de marcha, como es por ejemplo los diodos *zener* entre la puerta y el surtidor para asegurar que la tensión de activación no superase cierto valor, o los diodos de *bootstrap* para evitar retornos de corriente. Además de una correcta elección de los transistores a usar.

Otros de los objetivos era el de diseñar un lazo cerrado de control para que el sistema encontrara la frecuencia de resonancia automáticamente. Este objetivo no ha sido posible de alcanzar en su totalidad ya que la parte de *hardware* sí que está diseñada y construida pero no se ha podido llevar a cabo la parte de *software* debido a diversos problemas. El problema principal es que en alguna de las pruebas de funcionamiento del ondulator el amperímetro por efecto *hall* pudo quedar dañado y este no es capaz de efectuar una lectura suficientemente grande como para ser procesada, este elemento no se reemplazó debido a que su coste es bastante elevado y existían otras ocupaciones más importantes. El otro inconveniente ha sido que no se ha conseguido llegar al nivel de ganancia esperado por simulación en la carga del ondulator y se ha invertido mucho tiempo en solventar este problema.

El siguiente objetivo consistía en programar dos elementos de control como son un PIC y una CPLD y ampliación de los lenguajes de programación para cada uno. Este objetivo queda completo ya que la programación de la

aplicación queda casi completa para el caso del PIC debido al punto antes comentado y totalmente completa para el caso de la CPLD. En el caso del PIC, efectúa cálculos de frecuencia a partir de un valor numérico decimal enviado al DDS. En el caso de la CPLD el elemento es capaz de modular la señal de activación perfectamente y generar un reloj para el DDS acorde a sus necesidades. Además la información acerca de los respectivos lenguajes ha sido ampliada, ya que para el caso del PIC no se había trabajado con el previamente en la carrera y ha sido una buena oportunidad para conocer el chip y sus ventajas en lo que a rutinas pre-programadas se refiere. En el caso del lenguaje *VHDL* ha sido interesante poder programar y probar dichos programas sobre un elemento real.

Otro objetivo era el de poder programar un elemento de manera indirecta a través de otro elemento programable por un bus SPI. Este objetivo se ha conseguido ya que el PIC de la aplicación garantiza una correcta y sencilla programación gracias a ciertas rutinas previamente creadas por el fabricante. Además la programación del generador de funciones es uno de los elementos más importantes de la aplicación y debe hacerse en multitud de ocasiones a lo largo del funcionamiento del ondulator, la programación se hace efectiva sin ningún tipo de retraso y sin ningún tipo de error.

En cuanto al último de los objetivos por cumplir, se refería a la sencillez a la hora de manejar el sistema por parte de un usuario. Este objetivo queda cubierto ya que solo con tres botones de control más el de *reset* se consigue controlar el sistema y navegar por los menús de manera secuencial. Además la aplicación informa con suficiente detalle del funcionamiento de la aplicación, de la frecuencia de trabajo y de la causa de error en el sistema.

Una vez analizados los objetivos y si se han podido llevar a cabo, se puede pasar a analizar cuáles serían las posibles mejoras implementables en el sistema, tanto para mejorar su rendimiento como para ampliar su funcionalidad.

Algunas de las mejoras van relacionadas con los programas del sistema. En el caso de la CPLD se podría optimizar el tiempo de *dead time* en el que todos los transistores se encuentran en corte para que este sea más pequeño y así conseguir más ganancia en la carga. En cuanto al programa del PIC, la principal mejora que se puede hacer, es programar el ADC integrado en el PIC que recibe las consignas desde el amperímetro, así como la rutina que rastrea la frecuencia de trabajo óptima. Además en el programa del PIC se puede llegar a optimizar el programa en general para consumir menos recursos del microcontrolador.

En cuanto a la parte de *hardware* existen diversas mejoras posibles, como pueden ser resistencias de *shunt* que aguanten más potencia para así poder aumentar el valor de corriente considerado como máximo en las ramas del ondulator, para este fin, además, se deben colocar otros elementos que

soporten más corriente como es el caso de los transistores o el caso del amperímetro.

Otra posible mejora, esta vez en la placa de control es la de colocar un microcontrolador con más memoria ya que con el programa actual se ocupa prácticamente toda la memoria y no quedaría memoria para alojar toda la rutina de adquisición de datos por el ADC y la rutina de búsqueda de frecuencia de trabajo. Además también se podría buscar un PIC que pueda comunicarse a partir de USB, cosa que simplificaría bastante el trabajo de programación del microcontrolador ya que no sería necesario el uso de un programador físico aparte como es el caso del PICKIT 2. En esta misma placa, también sería interesante colocar un teclado matricial con el que poder elegir la frecuencia de trabajo de manera no secuencial, ya que de esta manera sería mucho más sencillo alcanzar la frecuencia de trabajo deseada.

# **CAPÍTULO 6:**

# **BIBLIOGRAFÍA**

## **6.1. Bibliografía de referencia**

### *6.1.1. Web*

[1] "Conceptos de electrónica para aplicaciones industriales" Accedido 3 de Marzo, 2014. <http://www.sapiensman.com/electrotecnia/problemas15.htm>

[2] GH INDUCTION "calentamiento por inducción" Accedido 3 de Marzo, 2014. <http://www.ghinduction.com/sobre-calentamiento-por-induccion/?lang=es>

[3] Departamento de electrónica Liceo Industrial de Viña del Mar "Convertidores estáticos" Accedido 5 de Marzo, 2014. <http://www.electronica.net63.net/convertidores.html>

[4] Epower "Convertidores CC/CA – Onduladores o Inversores" Accedido 5 de Marzo, 2014. [http://epower.wikispaces.com/file/view/TEMA-5%2520EP%2520\(v1\).pdf](http://epower.wikispaces.com/file/view/TEMA-5%2520EP%2520(v1).pdf)

[5] Facultad Regional Rosario Universidad Tecnológica Nacional "Teoría de resonancia" Accedido 10 de Marzo, 2014. [http://www.frro.utn.edu.ar/repositorio/catedras/electrica/2\\_anio/electrotecnica1/trabajos\\_practicos/Teoria%20de%20Resonancia.pdf](http://www.frro.utn.edu.ar/repositorio/catedras/electrica/2_anio/electrotecnica1/trabajos_practicos/Teoria%20de%20Resonancia.pdf)

[6] Portal Educativo PortalESO "Electrónica Básica" Accedido 12 de Marzo, 2014. [http://www.portaleso.com/usuarios/Toni/web\\_electronica\\_3/electronica\\_index.html](http://www.portaleso.com/usuarios/Toni/web_electronica_3/electronica_index.html)

[7] Electrónicos CALDAS "Regulador 7812" Accedido 12 de Marzo, 2014. <http://www.electronicoscaldas.com/reguladores-y-referencias-de-voltaje/134-regulador-7812.html>

- [8] DatasheetDir "Pin Flash-Based" Accedido 16 de Marzo, 2014. <http://www.datasheetdir.com/PIC16F882+PIC-Microcontrollers>
- [9] ebay "Xilinx XC2C64A" Accedido 16 de Marzo, 2014. <http://www.ebay.com/itm/Xilinx-XC2C64A-CPLD-Core-Board-CoolRunner2-JTAG-Download-Cable-Programmer-/271067585021>
- [10] Farnell "ANALOG DEVICES – AD9833BRMZ" Accedido 16 de Marzo, 2014. <http://es.farnell.com/analog-devices/ad9833brmz/waveform-generator-9833-msop10/dp/1581966>
- [11] Enciclopedia "Corriente continua" Accedido 20 de Marzo, 2014. [http://enciclopedia.us.es/index.php/Corriente\\_continua](http://enciclopedia.us.es/index.php/Corriente_continua)
- [12] Universidad de Granada "Introducción a los dispositivos electrónicos de potencia" Accedido 24 de Marzo 2014. [http://www.ugr.es/~amroldan/enlaces/dispo\\_potencia/introd.htm](http://www.ugr.es/~amroldan/enlaces/dispo_potencia/introd.htm)
- [13] Farnell "Filtros de búsqueda" Accedido 1 de Abril, 2014. <http://es.farnell.com/>
- [14] MathWorks "MATLAB El lenguaje de cálculo técnico" Accedido 15 de Abril, 2014. <http://www.mathworks.es/products/matlab/>

## 6.2.Bibliografía de consulta

### 6.2.1.Libros

Eduard Ballester, Robert Piqué. 2011. *Electrónica de Potencia Principios Fundamentales y Estructuras Básicas*. Barcelona: MARCOMBO UNIVERSITARIA. Primera edición. ISBN 978-84-267-1669-9.

John G. Kassakian, Martin F. Schlecht, George C. Verghese. 1991. *Principles of Power Electronics*. Massachusetts: Addison-Wesley Publishing Company, inc. Primera edición. ISBN 0-201-09689-7.

Robert W. Erickson, Dragan Maksimovic. 1956. *Fundamentals of Power electronics*. Massachusetts. Kluwer Academic Plublishers. Segunda edición. ISBN 0-7923-7270-0

Philip T. Krein. 1998. *Elements of Power Electronics*. Oxford: The Oxford series in electrical and computer engineering. ISBN 0-19-511701-8



### 6.2.2. Apuntes

Álvarez Ruiz de Ojeda, Luis Jacobo. 2007 – 2009. Apuntes Diseño Digital con Lógica Programable. Universidad de Vigo

Cosp Viella, Jordi. 2012. Apuntes Aplicaciones de los Sistemas Electrónicos Digitales. Universidad Politécnica de Cataluña.

### 6.2.3. Web

Richie's tesla coil web page. Accedido 20 de Diciembre, 2013.  
<http://www.richieburnett.co.uk/indheat.html>



Escola Universitària d'Enginyeria  
Tècnica Industrial de Barcelona  
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

## Memoria Económica

# "DISEÑO E IMPLEMENTACIÓN DE UN ONDULADOR CON CARGA RESONANTE PARA CALENTAMIENTO POR INDUCCIÓN"

TFG presentado para optar al título de GRADO en  
INGIENERÍA ELECTRÓNICA INDUSTRIAL Y

AUTOMÁTICA

por **Manuel Martínez Hortelano**

Barcelona, 11 de Junio de 2014

Tutor proyecto: Alfonso Conesa Roca  
Departamento de Ingeniería Electrónica (DEEL)  
Universitat Politècnica de Catalunya (UPC)

# ÍNDICE MEMORIA ECONOMICA

ÍNDICE MEMORIA ECONOMICA.....	- 1 -
RESUMEN .....	- 3 -
<b>CAPÍTULO 1: Costes del prototipo .....</b>	<b>- 4 -</b>
1.1. Costes componentes .....	- 4 -
1.1.1. Placa de alimentación .....	- 4 -
1.1.2. Placa de control .....	- 5 -
1.1.3. Placa de potencia .....	- 6 -
1.2. Costes por tiempo dedicado .....	- 8 -
1.2.1. Costes por tiempo dedicado al hardware .....	- 8 -
1.2.2. Costes por tiempo dedicado al software .....	- 9 -
1.3. Amortizaciones .....	- 10 -
1.4. Coste final del prototipo.....	- 11 -
<b>CAPÍTULO 2: Producción seriada .....</b>	<b>- 12 -</b>
2.1. Costes de componentes .....	- 12 -
2.2. Costes por tiempo dedicado .....	- 13 -
2.3. Amortización del prototipo .....	- 13 -
2.4. Coste por unidad producida.....	- 14 -



## **RESUMEN**

Con el fin de cuantificar el coste del prototipo, a continuación se desglosaran conceptos económicos tales como costes de componentes, horas de trabajo (tanto en la parte de montaje como en la parte de programación) y los costes asociados al alquiler de un local y la compra de diferentes herramientas. Los costes producidos por tareas físicas como taladrar, comprobar las placas, programar... serán cuantificadas según el trabajador que las realice, ya que se supondrán dos ingenieros diferentes para la confección del proyecto, uno de ellos será un ingeniero sénior y el otro junior.

Además de esto, también se hará el cálculo de la que podría ser una producción seriada del producto final, con su correspondiente coste de salida al mercado. La producción planteada será una tirada de 2000 unidades.

# CAPÍTULO 1:

## COSTES DEL PROTOTIPO

En este capítulo realizaremos el cálculo de los costes producidos por la compra de componentes de las diferentes placas que componen el prototipo, así como el coste de las horas empleadas por dos ingenieros para su diseño y confección. Además se realizarán cálculos de amortización de los elementos e instalaciones utilizadas para el diseño y la construcción del mismo.

### 1.1. Costes componentes

#### 1.1.1. Placa de alimentación

En este apartado se listan todos los componentes que conforman la placa de alimentación, su referencia en el esquema (si la hay) y su coste asociado.

Descripción	Referencia	Precio unitario (€)	Cantidad	Total (€)
Resistencia carbono 470 $\Omega$ 5%		0,02 €	1	0,02 €
Cond. cerámico 100 nF	C1, C5	0,03 €	2	0,06 €
Cond. electrolítico 100 uF	C3	0,05 €	1	0,05 €
Cond. electrolítico 10 uF	C7	0,05 €	1	0,05 €
Transformador 220 V -> 12V	T1	15,64 €	1	15,64 €
Regulador 7812	-	0,76 €	1	0,76 €
Regulador 7805	-	0,47 €	1	0,47 €
Puente rectificador diodos	B2	0,33 €	1	0,33 €
Diodo LED rojo	LED2	0,30 €	1	0,30 €
Conector weidmuller para PCB 2 entradas (macho y hembra)	X1	1,46 €	1	1,46 €
Conector weidmuller para PCB 3 entradas (macho y hembra)	X2	1,64 €	1	1,64 €

Placa fotosensible positiva 2 caras 100x160 mm	-	3,45 €	1	3,45 €
<b>Total</b>				<b>24,23 €</b>

**Tabla 1.** Relación de costes placa de alimentación

### 1.1.2. Placa de control

En este apartado se listan todos los componentes que conforman la placa de control, su referencia en el esquema (si la hay) y su coste asociado.

Descripción	Referencia	Precio unitario (€)	Cantidad	Total (€)
Resistencia carbono 100 $\Omega$ 5%	R1	0,02 €	1	0,02 €
Resistencia carbono 100 k $\Omega$ 5%	R2	0,02 €	1	0,02 €
Resistencia carbono 1 k $\Omega$ 5%	R3, R4, R5	0,02 €	3	0,06 €
Potenciómetro multivuelta 1 k $\Omega$	R6	0,49 €	1	0,49 €
Resistencia carbono 51 $\Omega$ 5%	R7	0,02 €	1	0,02 €
Resistencia carbono 10 k $\Omega$ 5%	R8, R9, R10, R11, R12	0,02 €	5	0,10 €
Resistencia carbono 12 k $\Omega$ 5%	R13, R14, R15, R16	0,02 €	4	0,08 €
Cond. cerámico 33 pF	C1, C2	0,03 €	2	0,06 €
Cond. cerámico 100 nF	C3, C4, C8, C9, C10, C14, C15, C16, C17, C18, C19, C20	0,03 €	12	0,36 €
Cond. electrolítico 1 $\mu$ F	C5, C11, C12, C21, C22	0,03 €	5	0,15 €
Cond. electrolítico 100 $\mu$ F	C13	0,03 €	1	0,03 €
Microprocesador PIC16F882-I/SO	-	1,84 €	1	1,84 €
CPLD Coolrunner II	-	2,89 €	1	2,89 €
Cristal cuarzo 20 MHz	Q1	0,24 €	1	0,24 €
Cristal oscilador CPLD	Q2	2,30 €	1	2,30 €

LCD 2x16 Reflectivo		4,59 €	1	4,59 €
Pulsador doble posición	S1, S2, S3, S4	0,30 €	4	1,20 €
Regulador 1,8 V	-	0,36 €	1	0,36 €
Regulador 3,3 V	-	0,13 €	1	0,13 €
AD9833	-	9,48 €	1	9,48 €
Conector 1x6 pines macho 2,54 mm (tira de 1x40)	JTAG, PICKIT2	1,50 €	1	1,50 €
Conector weidmuller para PCB 2 entradas (macho y hembra)	x2	1,46 €	1	1,46 €
Cable plano 20 vias (20 cm) + 2 conectores (macho y hembra)	x3	5,16 €	1	5,16 €
Conector 1x16 pines hembra 2,54 mm (tira 1x40) (conexión para LCD)	-	2,00 €	1	2,00 €
Placa fotosensible positiva 2 caras 100x160 mm	-	6,30 €	1	6,30 €
Soportes, elevadores y tuercas	-	0,20 €	4	0,80 €
<b>TOTAL</b>				40,84 €

**Tabla 2.** Relación de costes placa de control

### 1.1.3. Placa de potencia

En este apartado se listan todos los componentes que conforman la placa de potencia, su referencia en el esquema (si la hay) y su coste asociado.

Descripción	Referencia	Precio unitario (€)	Cantidad	Total (€)
Resistencia carbono 100 $\Omega$ 5%	R1, R2, R3, R4, R6, R7	0,02 €	6	0,12 €
Resistencia cerámica 220 $\Omega$	R5	1,74 €	1	1,74 €
Resistencia carbono 470 $\Omega$ 5%	R8	0,02 €	1	0,02 €
Resistencia carbono 3 k $\Omega$ 5%	R9, R10	0,02 €	2	0,04 €
Resistencia carbono 750 $\Omega$ 5%	R11, R16	0,02 €	2	0,04 €



Resistencia carbono 4,7 k $\Omega$ 5%	R12, R17, R23, R24, R25, R26, R27	0,02 €	7	0,14 €
Resistencia carbono 10 k $\Omega$ 5%	R13, R14, R15, R18, R28, R29,	0,02 €	6	0,12 €
Resistencia shunt 0,1 $\Omega$ (SMD)	R20, R21	0,10 €	2	0,20 €
Resistencia carbono 22 k $\Omega$ 5%	R31	0,02 €	1	0,02 €
Cond. electrolítico 15 mF 100 V	C1, C17	27,42 €	2	54,84 €
Cond. electrolítico 100 uF	C2, C18, C19	0,05 €	3	0,15 €
Cond. electrolítico 1 uF	C3, C4, C5, C6, C9, C10, C20	0,05 €	9	0,45 €
Cond. cerámico 100 nF	C7, C8, C11, C12, C13, C16, C22	0,05 €	7	0,35 €
Cond. electrolítico 1 uf 100 V	C21, C23	2,80 €	2	5,60 €
IR2110 Driver para IGBT	U1, U2	4,97 €	2	9,94 €
Transistores MOSFET IRF3710	Q1, Q2, Q3, Q4	1,32 €	4	5,28 €
Diodo MUR3010	D1, D2	1,25 €	2	2,50 €
Optoacoplador MOC3010	OK1	0,56 €	1	0,56 €
Tiristor	T1	1,40 €	1	1,40 €
Sensor corriente 20A ACS712ELCTR-20A-T	U3	4,17 €	1	4,17 €
Driver 74LS17	IC3	0,90 €	1	0,90 €
Comparador LM393	IC2	0,25 €	1	0,25 €
Conector weidmuller para PCB 2 entradas (macho y hembra)	X3, X4	1,46 €	2	2,92 €
Placa fotosensible positiva 2 caras 130x220 mm	-	12,20 €	1	12,20 €
Cables 1mm rojo y negro	-	0,45 €	2	0,90 €
Soportes, elevadores y tuercas	-	0,20 €	4	0,80 €
<b>TOTAL</b>				<b>103,95 €</b>

**Tabla 3.** Relación de costes placa de potencia

## 1.2. Costes por tiempo dedicado

En este apartado trataremos los costes asociados al trabajo humano para la realización del proyecto. El mismo está dividido en dos sub-apartados, los cuales tratan sobre las horas dedicadas tanto a la parte física del proyecto (Hardware) como a la parte informática (Software). En cada uno de estos sub-apartados, las tareas se llevarán a cabo por dos ingenieros. Uno sénior, con experiencia en el diseño y construcción de prototipos, el cual tendrá un coste por hora mayor. El otro trabajador será un ingeniero recién titulado o junior, el cual llevará a cabo las tareas más sencillas del proyecto, su coste por hora será más bajo por su poca experiencia en la realización de proyectos.

Para determinar con fiabilidad el coste por hora de cada uno de estos dos trabajadores se estima una retribución bruta anual para el ingeniero junior de 45000 € mientras que la retribución bruta anual asociada al ingeniero sénior será de 85000 €. Teniendo en cuenta la retención del IRPF anual y el coste de la Seguridad Social, se obtienen los siguientes resultados:

- Ingeniero Junior     -     25 €/h
- Ingeniero Sénior     -     45 €/h

Estos costes serán distribuidos según la tarea que se le asigne a cada uno de ellos.

### *1.2.1. Costes por tiempo dedicado al hardware*

A continuación se calcularán los costes por tiempo dedicado a la realización del hardware. El ingeniero sénior llevará a cabo las tareas con más complicación como pueden ser los cálculos de diseño para la selección de componentes, la realización de un esquema definitivo y las comprobaciones finales de funcionamiento con el tanque resonante acoplado al ondulator. Por otra parte al ingeniero junior llevará a cabo tareas de una complejidad más baja tales como una pequeña investigación previa para comprender los detalles del proyecto, realizar esquemas en EAGLE a partir de los esquemas definitivos, el diseño del layout, el insolado, taladrado y soldado de las placas y las comprobaciones iniciales de funcionamiento, como por ejemplo la comprobación de posibles cortocircuitos, la correcta alimentación de los elementos de la placa o puestas en marcha del ondulator en vacío.

Tarea	Trabajador	Horas	Coste por hora (€/h)	Subtotal (€)
Investigación previa	Junior	15	25	375,00 €
Cálculos y selección de componentes	Senior	20	45	900,00 €
Realización esquema	Senior	35	45	1.575,00 €
Esquema en EAGLE	Junior	2	25	50,00 €
Diseño del layout	Junior	30	25	750,00 €
Insolado, revelado, taladrado y soldado de las PCB's	Junior	5	25	125,00 €
Comprobaciones iniciales de funcionamiento	Junior	10	25	250,00 €
Comprobaciones detalladas de funcionamiento con carga resonante	Senior	25	45	1.125,00 €
Horas ingeniero junior		62		
Horas ingeniero sénior		80		
<b>TOTAL</b>		142		5.150,00 €

**Tabla 4.** Estimación de costes por tiempo dedicado al hardware

### 1.2.2. Costes por tiempo dedicado al software

A continuación se calcularán los costes por tiempo dedicado a la realización del código necesario para el correcto funcionamiento de la aplicación. Ambos ingenieros deberán realizar unas tareas previas de adaptación a los programas de programación utilizados y de análisis previo para la correcta realización del código. Después de esto, el ingeniero sénior se ocupará de la realización del código VHDL, mientras que el junior realizará el código C. Cada una de estas tareas tiene diferentes tareas intermedias para su correcta realización, como por ejemplo la realización de diagramas de flujo, diagramas de bloques y simulaciones en matlab.

Tarea	Trabajador	Horas	Coste por hora (€/h)	Subtotal (€)
Adaptación entorno CCS	Junior	4	25	100,00 €
Adaptación entorno ISE Xilinx	Senior	4	45	180,00 €
Análisis previo	Junior	10	25	250,00 €
Análisis previo	Senior	10	45	450,00 €
Creación diagramas de flujo	Junior	10	25	250,00 €
Creación diagramas de bloques	Senior	15	45	675,00 €
Programación PIC	Junior	30	25	750,00 €
Programación CPLD	senior	20	45	900,00 €
Simulaciones con Matlab	Junior	20	25	500,00 €
Horas ingeniero junior		74		
Horas ingeniero sénior		49		
<b>TOTAL</b>		<b>123</b>		<b>4.055,00 €</b>

**Tabla 5.** Estimación de costes por tiempo dedicado al software

### 1.3. Amortizaciones

Además de lo tenido en cuentas hasta ahora, hay otros aspectos también importantes en la realización de este proyecto. Estos son por ejemplo ordenadores, licencias de software como EAGLE Standard, el alquiler de un local, elementos de laboratorio como osciloscopios, programadores para PIC (PICKIT 2) y otros elementos varios como cables, estaño... Todo esto no puede ser sumado de manera absoluta debido a que son útiles Re aprovechables para otros proyectos venideros. Se considerará pues, que la amortización deseada para elementos genéricos como ordenadores y oficinas será del 10% mientras que en el caso de elementos más vinculados a este será del 20%.

Elemento	Coste	Amortización (%)	Subtotal
Alquiler oficina (4 meses)	1.600,00 €	10%	160,00 €
Ordenador Personal	900,00 €	10%	90,00 €

Elementos de laboratorio	700,00 €	10%	70,00 €
Software EAGLE Standard	345,00 €	20%	69,00 €
Programador PICKIT 2	29,29 €	20%	5,86 €
Varios	50,00 €	20%	10,00 €
<b>TOTAL</b>			<b>404,86 €</b>

**Tabla 6.** Amortizaciones de elementos utilizados

## 1.4. Coste final del prototipo

Para finalizar este tema, se realiza un suma total de todos los costes asociados al proyecto, además de una cifra asociada a costes de secretaria en el que se incluyen trabajos como recopilación de datos, formalización de los mismos y creación de una memoria técnica. Todo este conjunto ara un subtotal que sumado al IVA y a un valor de beneficio esperado del 20% reflejará el valor del prototipo en su totalidad. Por ultimo añadir que el coste derivado del tanque resonante no entra en el cálculo, debido a que será el supuesto cliente el que decidirá cuál debe ser la morfología y los valores de inductancia y capacidad del mismo.

Elemento	Subtotal
Placa alimentación	24,23 €
Placa control	40,84 €
Placa potencia	103,95 €
Costes tiempo dedicado al hardware	5.150,00 €
Costes tiempo dedicado al software	4.055,00 €
Amortizaciones	404,86 €
Trabajos de secretaria	625,00 €
SUBTOTAL	10.403,88 €
IVA (21%)	2.184,81 €
Beneficio esperado (20%)	2.080,78 €
<b>TOTAL</b>	<b>14.669,47 €</b>

**Tabla 7.** Coste final del prototipo

# CAPÍTULO 2:

## PRODUCCIÓN SERIADA

Una vez determinado el valor del prototipo, se calculara el gasto esperado de producción en serie de una tirada de tamaño medio (2000 unidades), el cual nos permitirá obtener un precio de mercado aproximado con el que el sistema saldrá, en el cual se amortizará el precio del prototipo inicial.

### 2.1. Costes de componentes

Cada placa de la serie llevara un número de componentes igual al del prototipo. No obstante, al efectuar un pedido de un tamaño relativamente grande, los proveedores pueden hacer una rebaja en sus productos, el cual se verá representado con un descuento estimado de un 20%.

Elemento	Subtotal
Placa alimentación	24,23 €
Placa control	40,84 €
Placa potencia	103,95 €
SUBTOTAL	169,02 €
Descuento proveedores (20%)	-33,80 €
<b>TOTAL</b>	<b>135,22 €</b>

**Tabla 8.** Costes componentes en producción serie

## 2.2. Costes por tiempo dedicado

En este caso el tiempo dedicado a la realización de las placas se verá tremendamente reducido, debido a que elementos como el software o el hardware, ya están diseñados y comprobados. Por lo tanto, los únicos costes que deben ser evaluados son los debidos al tiempo de montaje de las placas y a las pruebas de funcionamiento y calidad que se realizan a las mismas.

Tarea	Trabajador	Horas	Coste por hora (€/h)	Subtotal
Montaje de las placas	Técnico	2	20	40,00 €
Pruebas de calidad	Ingeniero junior	1	25	25,00 €
<b>TOTAL</b>				65,00 €

**Tabla 9.** Costes por tiempo dedicado en producción serie

## 2.3. Amortización del prototipo

Los costes del prototipo no deben de ser en vano y para amortizarlos se reparte una cantidad proporcional a cada una de las 2000 unidades que se realicen, con el siguiente cálculo:

$$C_{\text{Amortización}} = \frac{\text{Coste prototipo}}{\text{Unidades totales}} = \frac{14.669,47 \text{ €}}{2.000} = 7,33 \text{ €}$$

## 2.4. Coste por unidad producida

Una vez realizado el cálculo de todos los costes asociados a la realización de esta producción seriada, se realiza una suma de todos ellos a la cual se le adjunta el IVA y un beneficio esperado de un 10% por unidad. Este cálculo revelará el precio del sistema final.

Elemento	Subtotal
Costes componentes	135,22 €
Costes por tiempo dedicado	65,00 €
Amortización prototipo	7,33 €
SUBTOTAL	207,55 €
IVA (21%)	43,58 €
Beneficio (10%)	20,75 €
TOTAL	271,89 €

**Tabla 10.** Coste final de una unidad producida en serie

Por lo tanto el precio final del producto será de 271,89 €, un precio competitivo teniendo en cuenta los precios de grandes compañías.

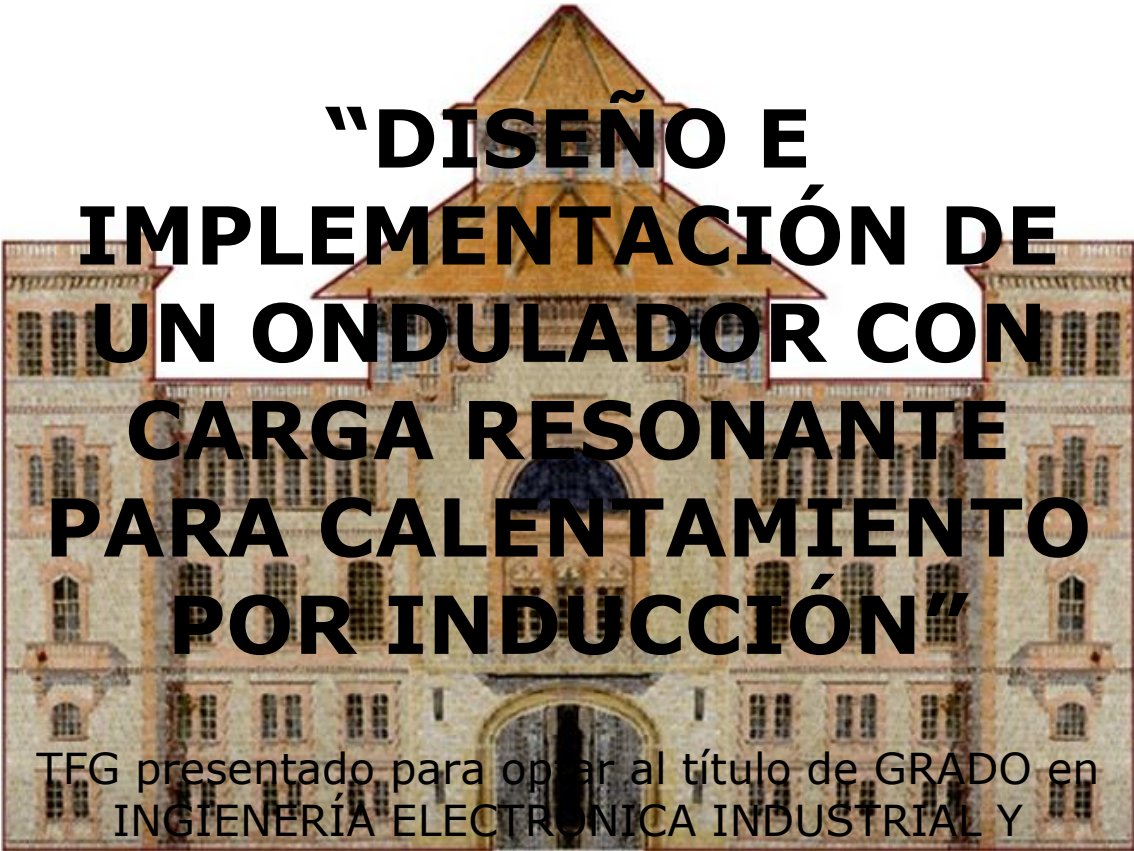




Escola Universitària d'Enginyeria  
Tècnica Industrial de Barcelona  
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

## Esquemas Electrónicos



# “DISEÑO E IMPLEMENTACIÓN DE UN ONDULADOR CON CARGA RESONANTE PARA CALENTAMIENTO POR INDUCCIÓN”

TFG presentado para optar al título de GRADO en  
INGIENERÍA ELECTRÓNICA INDUSTRIAL Y

AUTOMÁTICA

por **Manuel Martínez Hortelano**

Barcelona, 11 de Junio de 2014

Tutor proyecto: Alfonso Conesa Roca  
Departamento de Ingeniería Electrónica (DEEL)  
Universitat Politècnica de Catalunya (UPC)

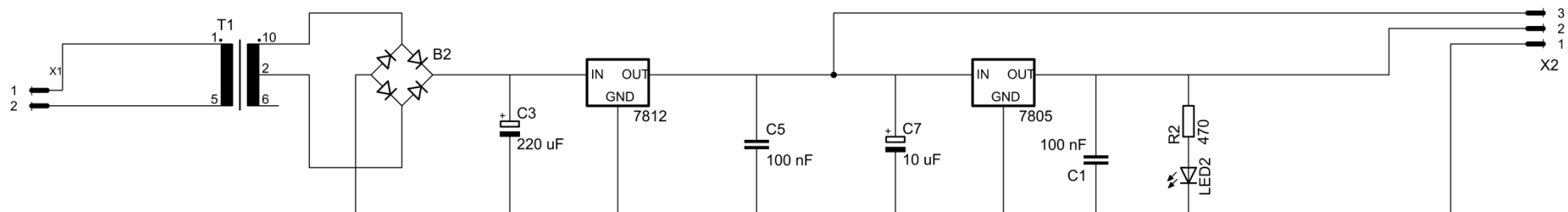
# ÍNDICE ESQUEMAS ELECTRÓNICOS



ÍNDICE ESQUEMAS ELECTRÓNICOS.....	- 1 -
<b>CAPÍTULO 1: Placa de alimentación</b> .....	- 2 -
PL1 – Esquema fuente de alimentación.....	- 3 -
PL2 – Disposición componentes fuente de alimentación.....	- 4 -
PL3 – Layout capa bottom fuente de alimentación.....	- 5 -
<b>CAPÍTULO 2: Placa de control</b> .....	- 6 -
PL4 – Esquema placa de control.....	- 7 -
PL5 – Disposición componentes placa de control.....	- 8 -
PL6 – Layout capa bottom placa de control.....	- 9 -
PL7 – Layout capa top placa de control.....	- 10 -
<b>CAPÍTULO 3: Placa de potencia</b> .....	- 11 -
PL8 – Esquema placa de potencia.....	- 12 -
PL9 – Disposición componentes placa de potencia.....	- 13 -
PL10 – Layout capa bottom placa de potencia.....	- 14 -
PL11 – Layout capa top placa de potencia.....	- 15 -

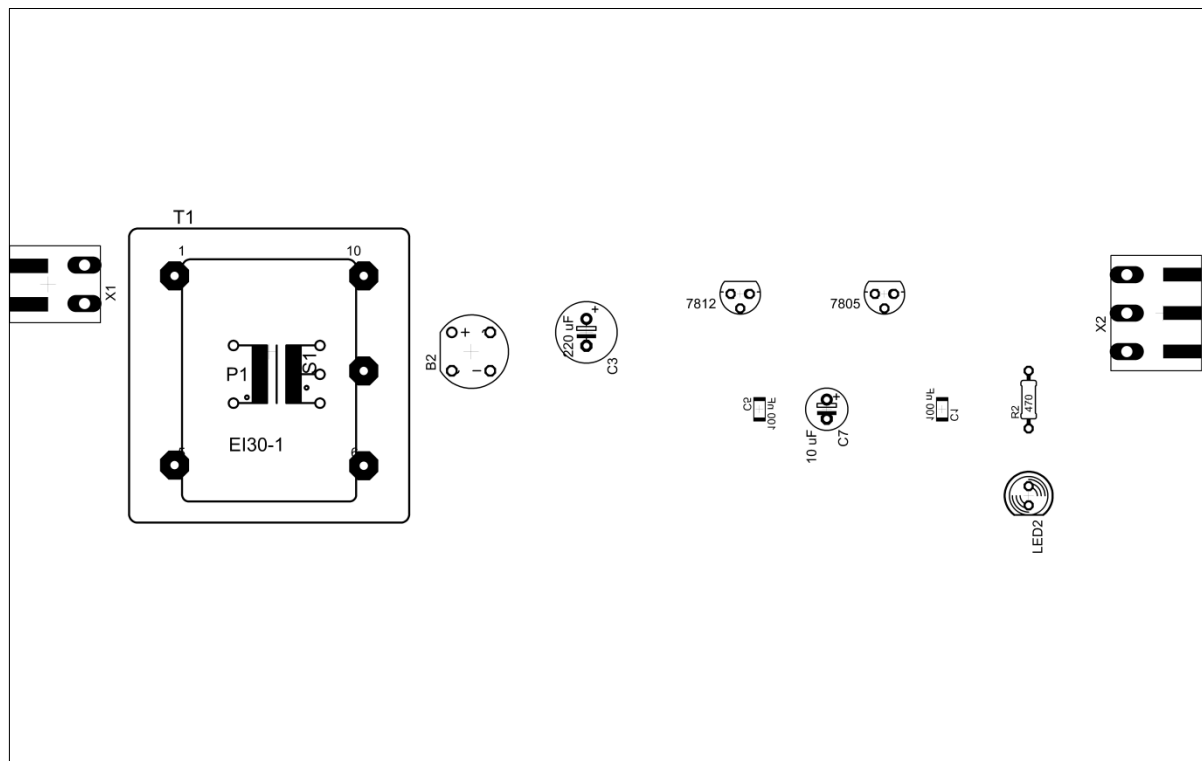
# **CAPÍTULO 1:**



## **PLACA DE**

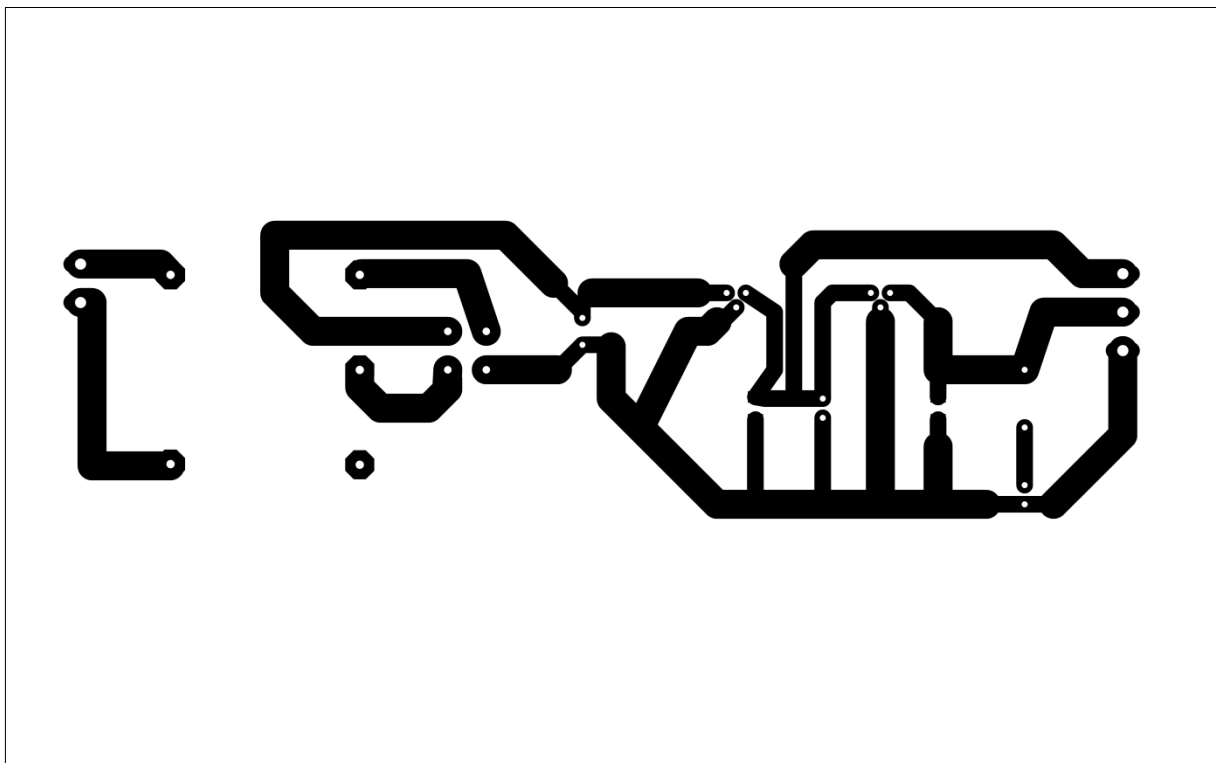
## **ALIMENTACIÓN**





Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universit�ria d'Enginyeria T�cnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLIT�CNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala:	Esquema fuente de alimentaci�n		Plano n�mero: LP1
P�gina: 3 de 15	Observaciones:		Ondulador con carga resonante para inducci�n



Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universit�ria d'Enginyeria T�cnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLIT�CNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Disposici�n componentes fuente de alimentaci�n		Plano n�mero: LP2
P�gina: 4 de 15	Observaciones:		Ondulador con carga resonante para inducci�n



Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universit�ria d'Enginyeria T�cnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLIT�CNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Layout capa bottom fuente de alimentaci�n		Plano n�mero: LP3
P�gina: 5 de 15	Observaciones:		Ondulador con carga resonante para inducci�n

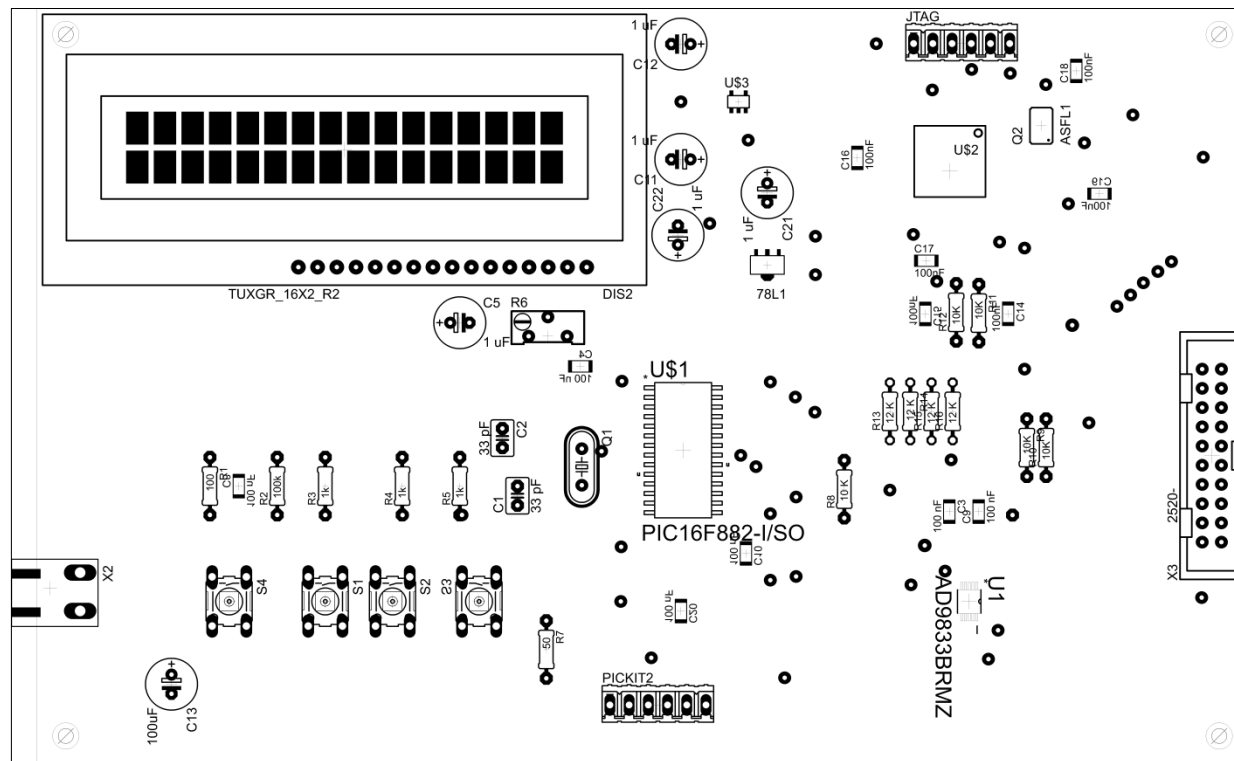
# **CAPÍTULO 2:**


## **PLACA DE**

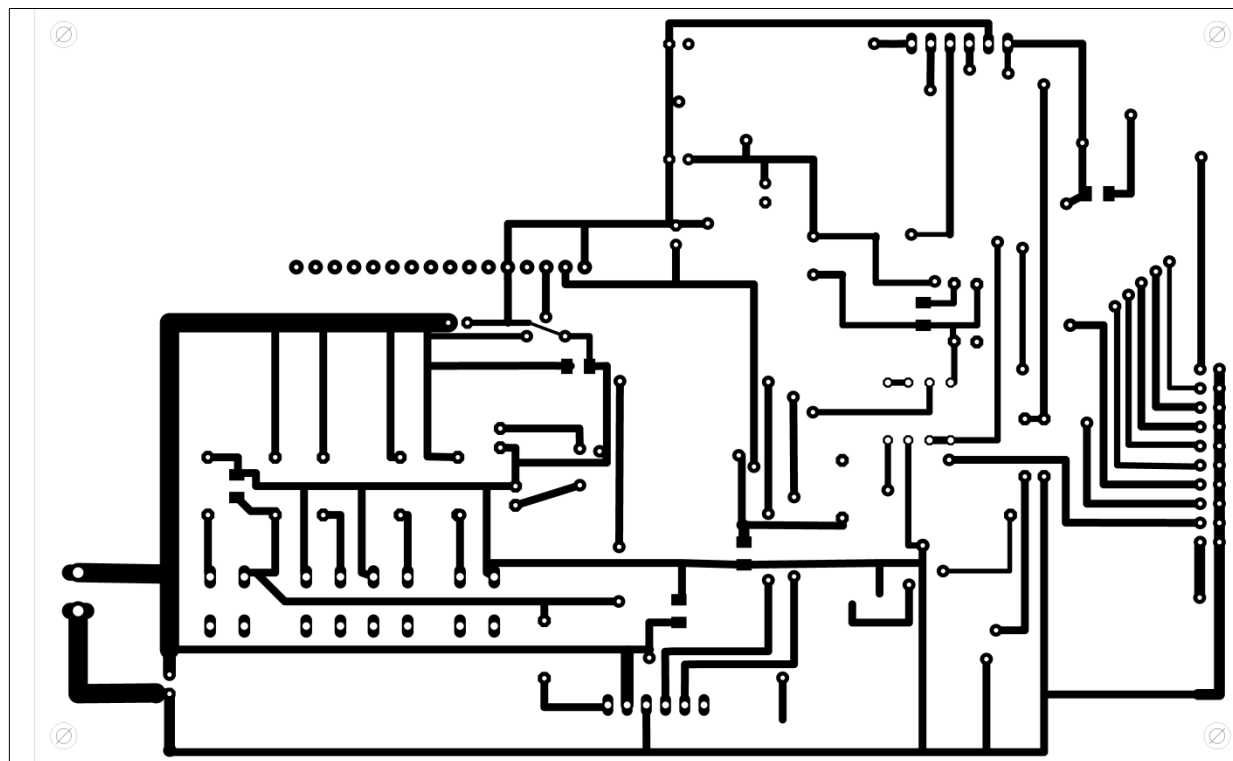
## **CONTROL**





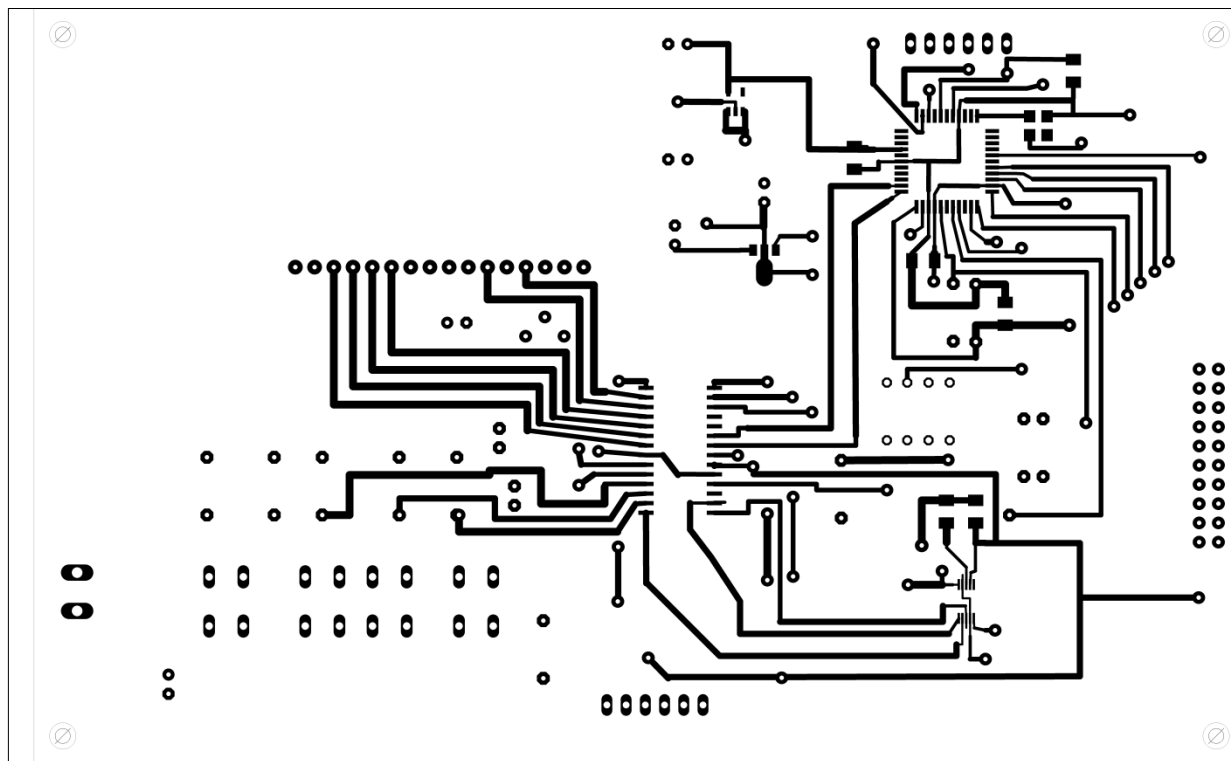






Dibujado por:	Manuel Martínez Hortelano	01/12/2013	 Escola Universit�ria d'Enginyeria T�cnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLIT�CNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Diposici�n componentes placa de control		Plano n�mero: LP5
P�gina: 8 de 15	Observaciones:		Ondulador con carga resonante para inducci�n



Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universit�ria d'Enginyeria T�cnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLIT�CNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Layout capa bottom placa de control		Plano n�mero: LP6
P�gina: 9 de 15	Observaciones:		Ondulador con carga resonante para inducci�n

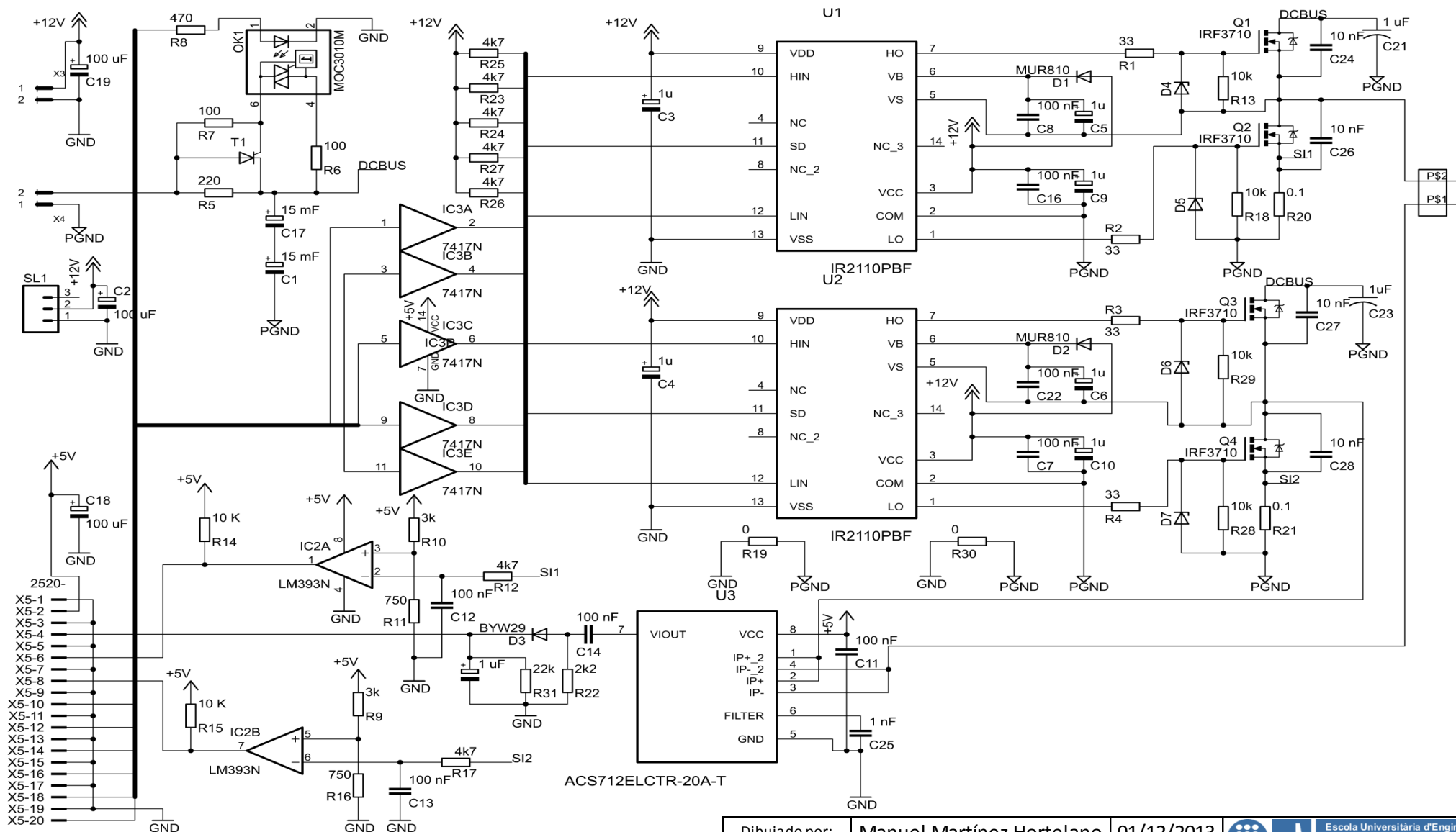



Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universitària d'Enginyeria Tècnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLITÈCNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Layout capa top placa de control		Plano número: LP7
Página: 10 de 15	Observaciones:		Ondulador con carga resonante para inducción

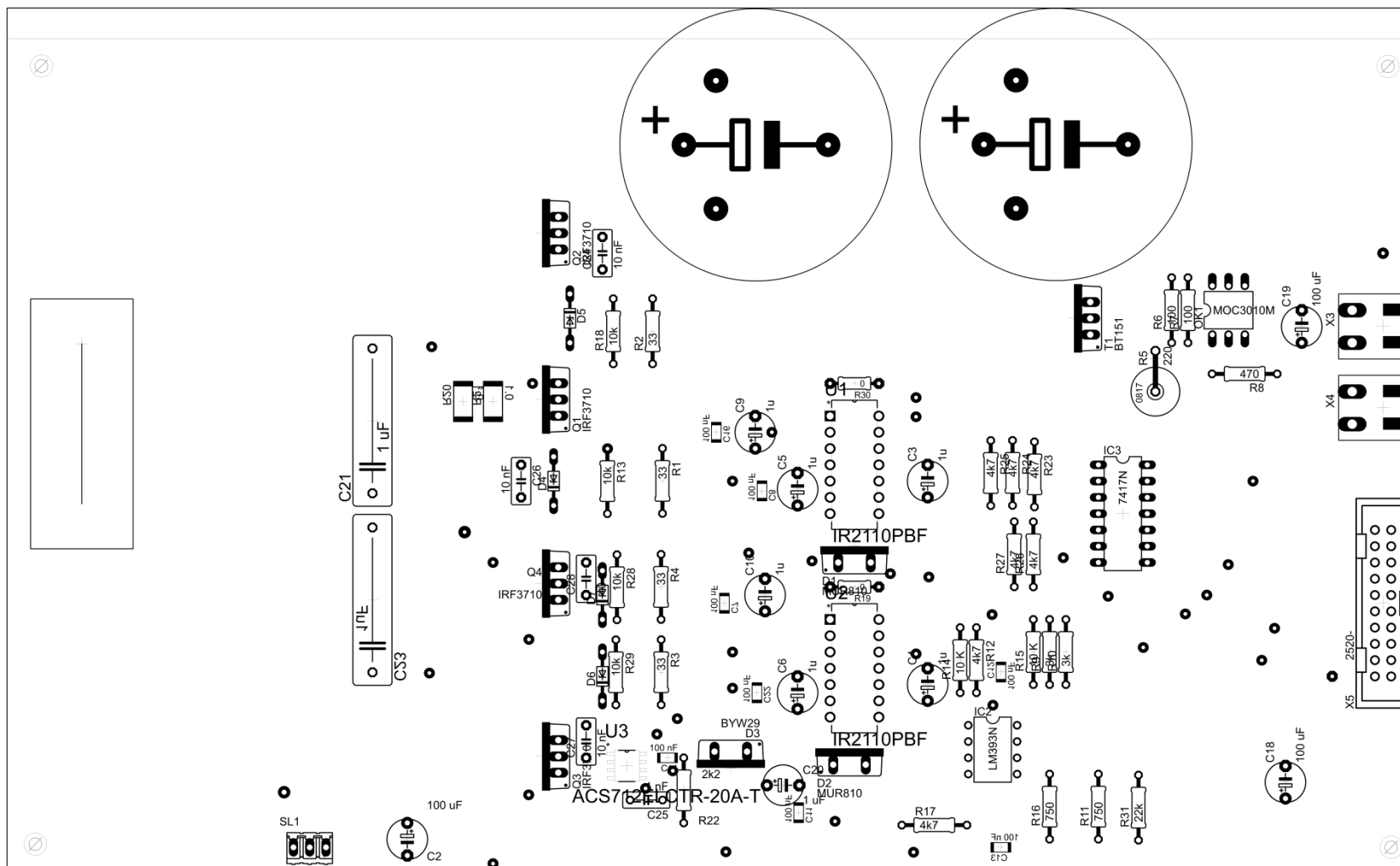
# **CAPÍTULO 3:**



## **PLACA DE**

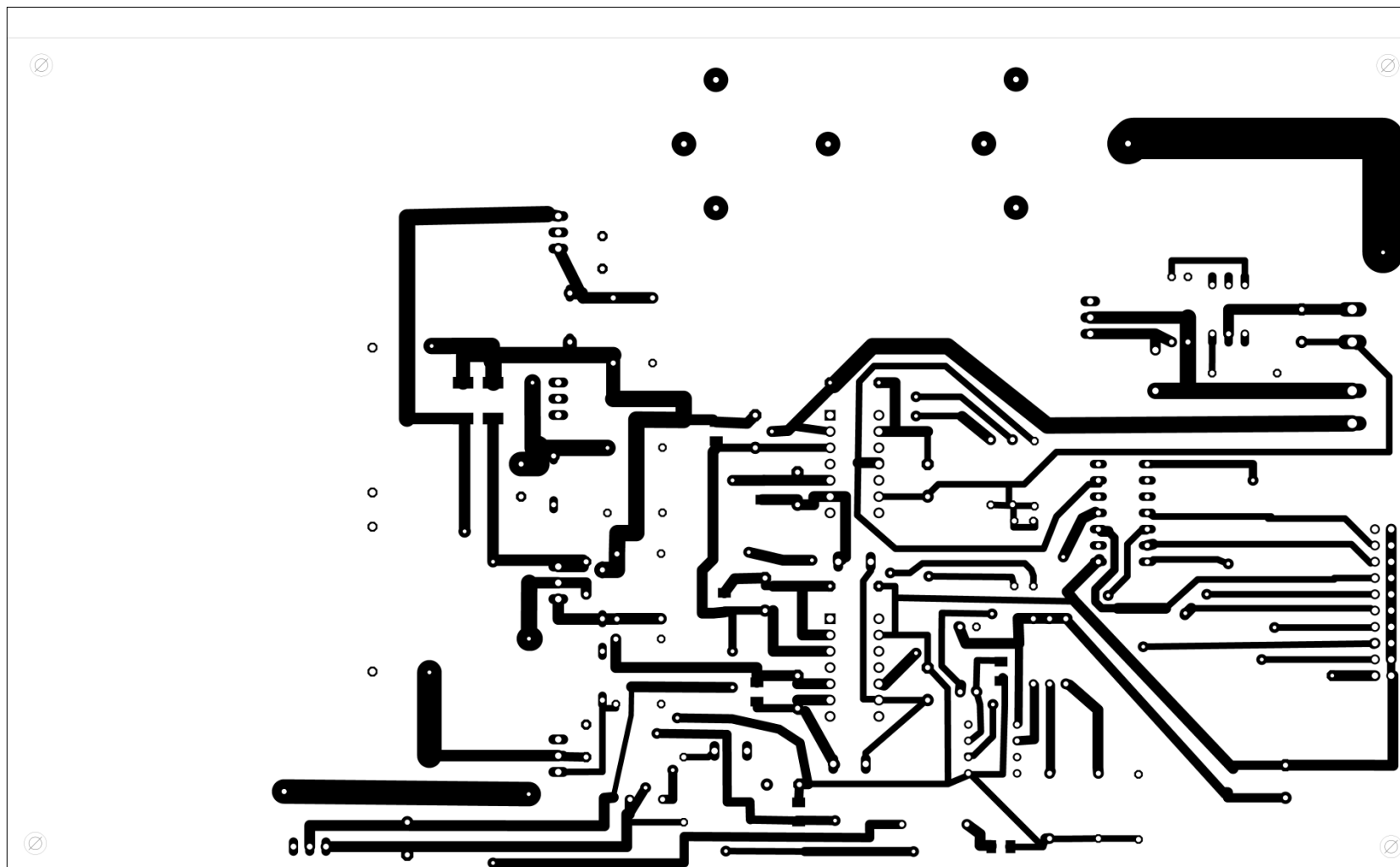
## **POTENCIA**





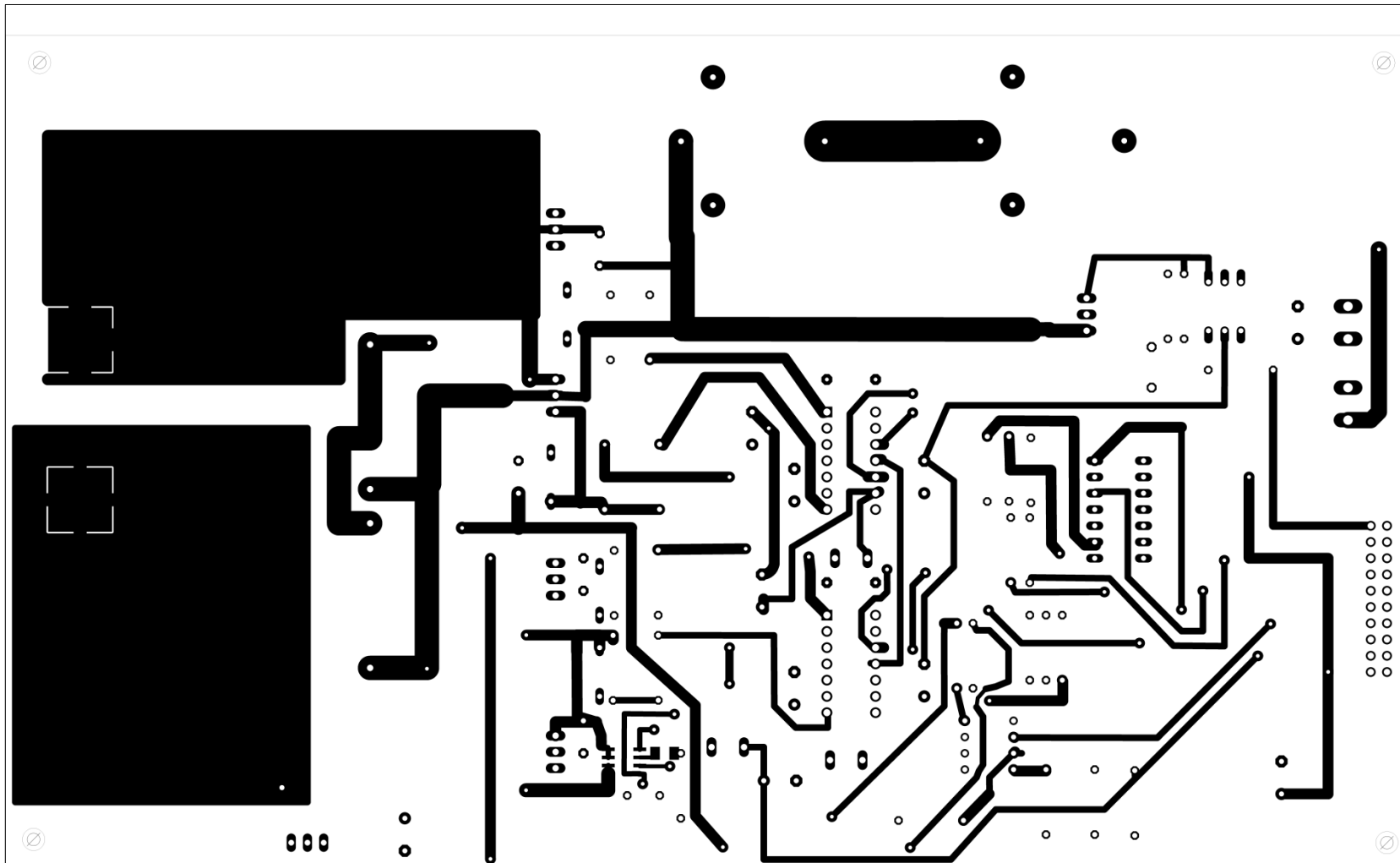
Dibujado por:	Manuel Martínez Hortelano	01/12/2013	 Escola Universitària d'Enginyeria Tècnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLITÈCNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala:	Esquema placa de potencia		Plano número: LP8
Página: 12 de 15	Observaciones:		Ondulador con carga resonante para inducción





Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universit�ria d'Enginyeria T�cnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLIT�CNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Diposici�n componentes placa de potencia		Plano n�mero: LP9
P�gina: 13 de 15	Observaciones:		Ondulador con carga resonante para inducci�n



Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universitària d'Enginyeria Tècnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLITÈCNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Layout capa bottom placa de potencia		Plano número: LP10
Página: 14 de 15	Observaciones:		Ondulador con carga resonante para inducción



Dibujado por:	Manuel Martínez Hortelano	01/12/2013	  Escola Universitària d'Enginyeria Tècnica Industrial de Barcelona Consorci Escola Industrial de Barcelona UNIVERSITAT POLITÈCNICA DE CATALUNYA
Comprobado por:	Alfonso Conesa Roca	18/02/2014	
Escala: 1:1	Layout capa top placa de potencia		Plano número: LP11
Página: 15 de 15	Observaciones:		Ondulador con carga resonante para inducción





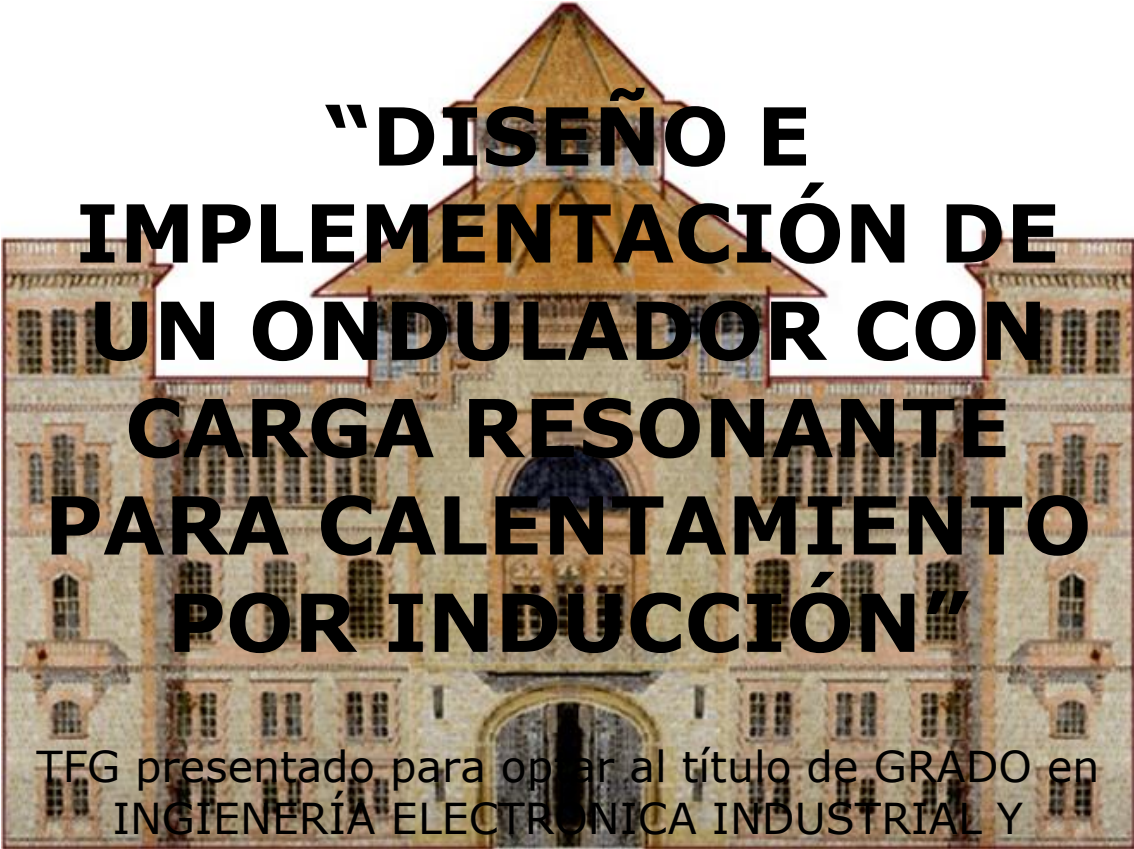
Escola Universitària d'Enginyeria  
Tècnica Industrial de Barcelona  
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

**Volumen II**

Anexos

TRABAJO DE FINAL DE GRADO



# “DISEÑO E IMPLEMENTACIÓN DE UN ONDULADOR CON CARGA RESONANTE PARA CALENTAMIENTO POR INDUCCIÓN”

TFG presentado para optar al título de GRADO en  
INGIENERÍA ELECTRÓNICA INDUSTRIAL Y

AUTOMÁTICA

por **Manuel Martínez Hortelano**

Barcelona, 11 de Junio de 2014

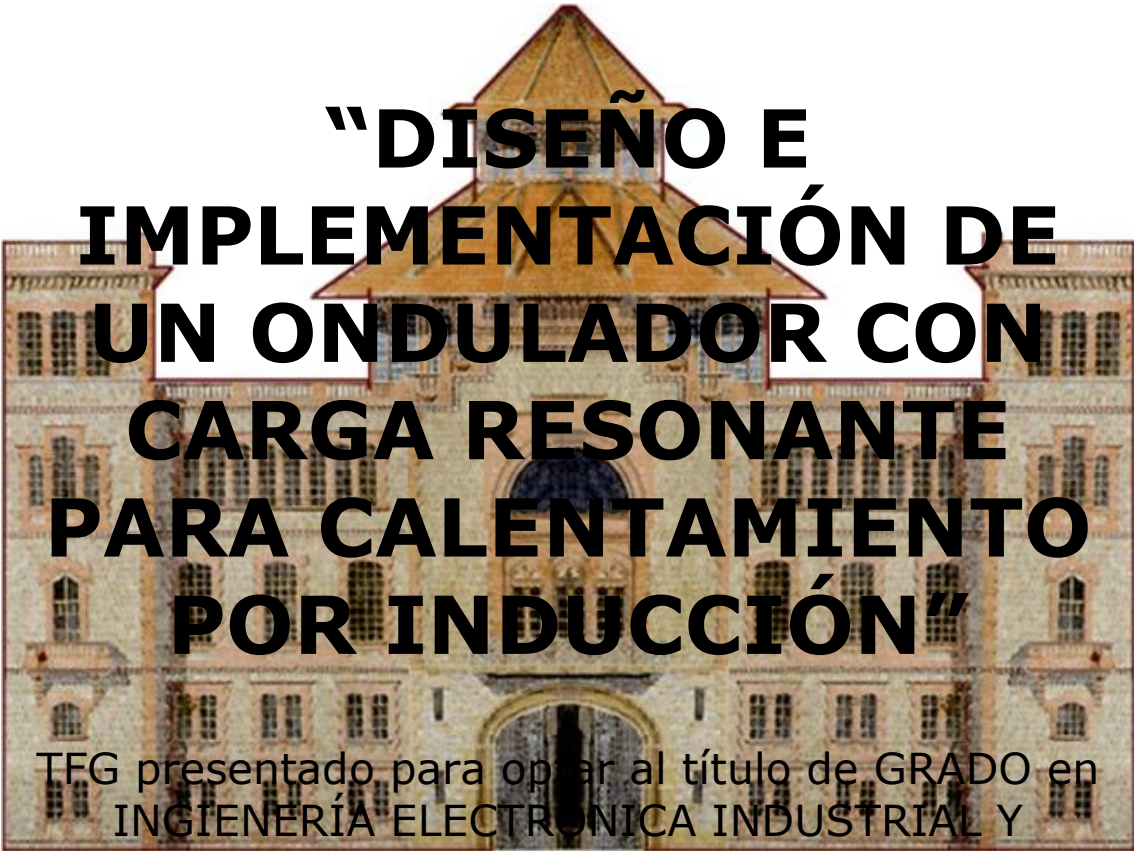
Tutor proyecto: Alfonso Conesa Roca  
Departamento de Ingeniería Electrónica (DEEL)  
Universitat Politècnica de Catalunya (UPC)



Escola Universitària d'Enginyeria  
Tècnica Industrial de Barcelona  
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

**Anexos**



# **“DISEÑO E IMPLEMENTACIÓN DE UN ONDULADOR CON CARGA RESONANTE PARA CALENTAMIENTO POR INDUCCIÓN”**

TFG presentado para optar al título de GRADO en  
INGIENERÍA ELECTRÓNICA INDUSTRIAL Y

AUTOMÁTICA

por **Manuel Martínez Hortelano**

Barcelona, 11 de Junio de 2014

Tutor proyecto: Alfonso Conesa Roca  
Departamento de Ingeniería Electrónica (DEEL)  
Universitat Politècnica de Catalunya (UPC)

# ÍNDICE ANEXOS

<b>ÍNDICE ANEXOS.....</b>	<b>- 1 -</b>
1. Programa PIC .....	- 3 -
2. Programa CPLD .....	- 5 -
3. Datasheets .....	- 7 -
3.1. PIC (16F882) .....	- 7 -
3.2. CPLD (XC2C64) .....	- 13 -
3.3. DDS (AD9833) .....	- 21 -
3.4. Driver (IR2110) .....	- 27 -
3.5. Amperímetro por efecto hall (ACS712) .....	- 31 -
3.6. Transistores (IRF3710) .....	- 36 -



# 1. Programa PIC

```
#include "C:\Users\Manu\Desktop\Programas mios proyecto\PIC\main.h"

#define LCD_DB7 PIN_A5 // pin 14 LCD // Asignación de pines LCD-PIC en el diseño.
#define LCD_DB6 PIN_A4 // pin 13 LCD
#define LCD_DB5 PIN_A3 // pin 12 LCD
#define LCD_DB4 PIN_A2 // pin 11 LCD
#define LCD_E PIN_A1 // pin 06 LCD
// #define LCD_RW PIN_B0 // pin 05 LCD It is earthed at the display.
#define LCD_RS PIN_A0 // pin 04 LCD
#include "C:\Users\Manu\Desktop\Programas mios proyecto\PIC\Flex_LCD420.c"
#use spi(BAUD=4800, DO = PIN_CS, CLK = PIN_C3, ENABLE = PIN_C4, BITS = 16, MASTER, ENABLE_ACTIVE = 0, MSB_FIRST, IDLE = 1)
#byte ANSELH = 0b00010000
#define ValueIo PIN_B0 // Pin 21. Valor de corriente en la salida.
#define ErrorI1 PIN_B1 // Pin 22. Viene de la CPLD: Alarma corriente.
#define ErrorI2 PIN_B2 // Pin 23. Viene de la CPLD: Alarma corriente.
#define Enable PIN_B3 // Pin 24. Enable de la CPLD (Shoot Down en potencia)
#define Up PIN_C0 // Pin 11. Pulsadores.
#define Down PIN_C1 // Pin 12.
#define Enter PIN_C2 // Pin 13.
#define Reset PIN_B5 // Pin 26. Reset

// =====
int1 /*detec_tecla,*/ SalirDetec, run;
unsigned int8 Velo: /*tecla;*/
unsigned int16 cap=16384, highval=188, lowval=0;
float32 cte1=636.535, cte2=0.038851, result;

// =====
void config_inic(){
// setup_adc_ports(NO_ANALOGS|VSS_VDD);
setup_adc_ports(sAN12);
setup_adc(ADC_CLOCK_DIV_2);
setup_spi(SPI_SS_DISABLED);
setup_timer_0(RTCC_INTERNAL|RTCC_DIV_1);
setup_timer_1(T1_DISABLED);
setup_timer_2(T2_DISABLED,0,1);
// setup_vref(false); //vref_high|8
setup_comparator(NC_NC_NC_NC); // This device COMP currently not supported by the PICWizard
// Setup_Oscillator parameter not selected from Intr Oscillator Config tab

// =====
void saludo_inic(){
lcd_gotoxy(1,1);
lcd_puts("EUETIB 2014: ");
lcd_gotoxy(1,2);
lcd_puts("Induction Heater");
delay_ms(1000);
lcd_gotoxy(15,1);
lcd_puts("08");}

// =====
void mostrar(){ //muestra el valor de frecuencia por pantalla
result=highval*cte1+lowval*cte2;
lcd_gotoxy(1,2);
lcd_puts(" ");
lcd_gotoxy(1,2);
printf(lcd_puts,"%f",result);
}

// =====
void Selecc_Frec(){
SalirDetec=0;
while(SalirDetec==0){
delay_ms(200);
if (input(Up)==0) {Highval=Highval+15;}
if (input(Down)==0) {Highval=Highval-15;}
if (highval<157) {highval=157;}
if (highval>314) {highval=314;}
if (input(Enter)==0) {SalirDetec=1;}
mostrar();
}
}
```

```
// -----
void ConfigDDS(){
    spi_xfer(0b0010000101101000); // Info Control
    spi_xfer(cap+lowval);           // Info frecuencia
    spi_xfer(cap+highval);
    spi_xfer(0b1100000000000000); // Info Datos fase
    spi_xfer(0b0010000001101000); // Info Control
}

// -----
void main()
{
    config_inic();
    // El Enable es activo alto, pues su estado de reposo tras encendido o en RESET es bajo.
    output_high(Reset);
    output_low(Enable); // Deshabilita la salida de señales.
    lcd_init();
    saludo_inic();
    delay_ms(2000);
    Selecc_Frec();
    ConfigDDS();
    lcd_gotoxy(1,1); lcd_putc("** Funcionando * ");
    lcd_gotoxy(1,2); lcd_putc("salir enter");
    output_low(Reset);
    output_high(Enable); // Habilita la salida de señales.
    run=0;
    Delay_ms(1000);
    while(run==0){
        if (!input(Enter) | input(ErrorI1) | input(ErrorI2)) {run=1;}
        if (input(Up)==0 | input(Down)==0) {modifica();}
    }
    output_low(Enable); // Deshabilita la salida de señales.

    lcd_gotoxy(1,1);
    if (input(ErrorI1)) {lcd_putc(" Error I1      ");}
    else if (input(ErrorI2)) {lcd_putc(" Error I2      ");}
    else {lcd_putc(" -- Paro --      "); }
    while(true){};
}
```



## 2. Programa CPLD

```

-----
-- Design Name:      Design 01 C-MOD C2 board
-- Module Name:      top - Structural
-- Target Devices:   Xilinx CPLD CoolRunner-II XC2C64 in VQ44 Package.
-- Tool versions:    ISE Webpack 12.3
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
-- Uncomment the following library declaration if using arithmetic functions with Signed or Unsigned values
-- use IEEE.NUMERIC_STD.ALL;
-- Uncomment the following library declaration if instantiating any Xilinx primitives in this code.
-- library UNISIM;
-- use UNISIM.VComponents.all;

entity top is
    port( clk      : in  std_logic;          -- Senyal de clk global
          InDDS     : in  std_logic;
          enable    : in  std_logic;        -- Enable Shut-Down
          reset     : in  std_logic;
          ErrorR1   : in  std_logic;
          ErrorR2   : in  std_logic;
          PICerrorR1 : out std_logic;
          PICerrorR2 : out std_logic;
          clk1MHz    : out std_logic;
          a1        : out std_logic;
          a2        : out std_logic;
          b1        : out std_logic;
          b2        : out std_logic;
          SD        : out std_logic);
end top;

-----
architecture structural of top is

    component prescaler is
        port( clkP      : in  std_logic;
              activaP   : out std_logic);
    end component prescaler;

    signal relojP, inDDS_aux: std_logic:= '0';
    signal contGDT: std_logic_vector(5 downto 0):= "000000";
    signal dt, vab : std_logic:= '0';
    signal ErrorR1_aux, ErrorR2_aux : std_logic:= '1';
    signal WR1, WR2: std_logic:= '0';      -- warnings de las ramas de corriente
begin
    Presc : prescaler port map (clkP=> clk, activaP=> relojP);
    clk1MHz<= relojP;

    -----
    GenDI: process (clk) is                -- Generador señales con Dead Time
    begin
        if (clk='1' and clk'event) then
            if (reset='1') then
                contGDT<="000000";
                dt<='0';
                InDDS_aux <= '0';
                ErrorR1_aux <= '0';
                ErrorR2_aux <= '0';
                WR1<='0';
                WR2<='0';
            else
                if (enable='1') then
                    if (contGDT<"100000") then
                        contGDT <= contGDT + '1';
                        dt<='0';
                    else dt<='1';
                    end if;
                end if;
            end if;
        end if;
    end process;

```

```

        if (InDDS_aux = '0' and InDDS = '1') then
            vab<=not(vab);
            contGDT<="000000";
        end if;
        InDDS_aux <= InDDS;

        if (ErrorR1_aux = '1' and ErrorR1 = '0') then
            WR1<='1';
        end if;
        ErrorR1_aux <= ErrorR1;

        if (ErrorR2_aux = '1' and ErrorR2 = '0') then
            WR2<='1';
        end if;
        ErrorR2_aux <= ErrorR2;

    end if;
end if;
end if;
end process;

-- end enable
-- end reset
-- end clk

PICErrorR1 <= WR1;
PICErrorR2 <= WR2;
SD<= not(enable) or WR1 or WR2;
a1<= vab and enable and dt and not(WR1) and not(WR2);
a2<= not(vab) and enable and dt and not(WR1) and not(WR2);
b1<= vab and enable and dt and not(WR1) and not(WR2);
b2<= not(vab) and enable and dt and not(WR1) and not(WR2);

end architecture structural;

```



### 3. Datasheets

#### 3.1. PIC (16F882)



#### 28/40/44-Pin Flash-Based, 8-Bit CMOS Microcontrollers with nanoWatt Technology

##### High-Performance RISC CPU:

- Only 35 instructions to learn:
  - All single-cycle instructions except branches
- Operating speed:
  - DC – 20 MHz oscillator/clock input
  - DC – 200 ns instruction cycle
- Interrupt capability
- 8-level deep hardware stack
- Direct, Indirect and Relative Addressing modes

##### Special Microcontroller Features:

- Precision Internal Oscillator:
  - Factory calibrated to  $\pm 1\%$
  - Software selectable frequency range of 8 kHz to 31 kHz
  - Software tunable
  - Two-Speed Start-up mode
  - Crystal fail detect for critical applications
  - Clock mode switching during operation for power savings
- Power-Saving Sleep mode
- Wide operating voltage range (2.0V-5.5V)
- Industrial and Extended Temperature range
- Power-on Reset (POR)
- Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Brown-out Reset (BOR) with software control option
- Enhanced low-current Watchdog Timer (WDT) with on-chip oscillator (software selectable nominal 268 seconds with full prescaler) with software enable
- Multiplexed Master Clear with pull-up/input pin
- Programmable code protection
- High Endurance Flash/EEPROM cell:
  - 100,000 write Flash endurance
  - 1,000,000 write EEPROM endurance
  - Flash/Data EEPROM retention: > 40 years
- Program memory Read/Write during run time
- In-Circuit Debugger (on board)

##### Low-Power Features:

- Standby Current:
  - 50 nA @ 2.0V, typical
- Operating Current:
  - 11  $\mu$ A @ 32 kHz, 2.0V, typical
  - 220  $\mu$ A @ 4 MHz, 2.0V, typical
- Watchdog Timer Current:
  - 1  $\mu$ A @ 2.0V, typical

##### Peripheral Features:

- 24/35 I/O pins with individual direction control:
  - High current source/sink for direct LED drive
  - Interrupt-on-Change pin
  - Individually programmable weak pull-ups
  - Ultra Low-Power Wake-up (ULPWU)
- Analog Comparator module with:
  - Two analog comparators
  - Programmable on-chip voltage reference (CVRREF) module (% of  $V_{DD}$ )
  - Fixed voltage reference (0.6V)
  - Comparator inputs and outputs externally accessible
  - SR Latch mode
  - External Timer1 Gate (count enable)
- A/D Converter:
  - 10-bit resolution and 11/14 channels
- Timer0: 8-bit timer/counter with 8-bit programmable prescaler
- Enhanced Timer1:
  - 16-bit timer/counter with prescaler
  - External Gate Input mode
  - Dedicated low-power 32 kHz oscillator
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Enhanced Capture, Compare, PWM+ module:
  - 16-bit Capture, max. resolution 12.5 ns
  - Compare, max. resolution 200 ns
  - 10-bit PWM with 1, 2 or 4 output channels, programmable "dead time", max. frequency 20 kHz
  - PWM output steering control
- Capture, Compare, PWM module:
  - 16-bit Capture, max. resolution 12.5 ns
  - 16-bit Compare, max. resolution 200 ns
  - 10-bit PWM, max. frequency 20 kHz
- Enhanced USART module:
  - Supports RS-485, RS-232, and LIN 2.0
  - Auto-Baud Detect
  - Auto-Wake-Up on Start bit
- In-Circuit Serial Programming™ (ICSP™) via two pins
- Master Synchronous Serial Port (MSSP) module supporting 3-wire SPI (all 4 modes) and I<sup>2</sup>C™ Master and Slave Modes with I<sup>2</sup>C address mask

# PIC16F882/883/884/886/887

Device	Program Memory	Data Memory		I/O	10-bit A/D (oh)	ECCP/ CCP	EUSART	MSSP	Comparators	Timers 8/16-bit
	Flash (words)	SRAM (bytes)	EEPROM (bytes)							
PIC16F882	2048	128	128	28	11	1/1	1	1	2	2/1
PIC16F883	4096	256	256	24	11	1/1	1	1	2	2/1
PIC16F884	4096	256	256	35	14	1/1	1	1	2	2/1
PIC16F886	8192	368	256	24	11	1/1	1	1	2	2/1
PIC16F887	8192	368	256	35	14	1/1	1	1	2	2/1

# PIC16F882/883/884/886/887

## Pin Diagrams – PIC16F882/883/886, 28-Pin PDIP, SOIC, SSOP

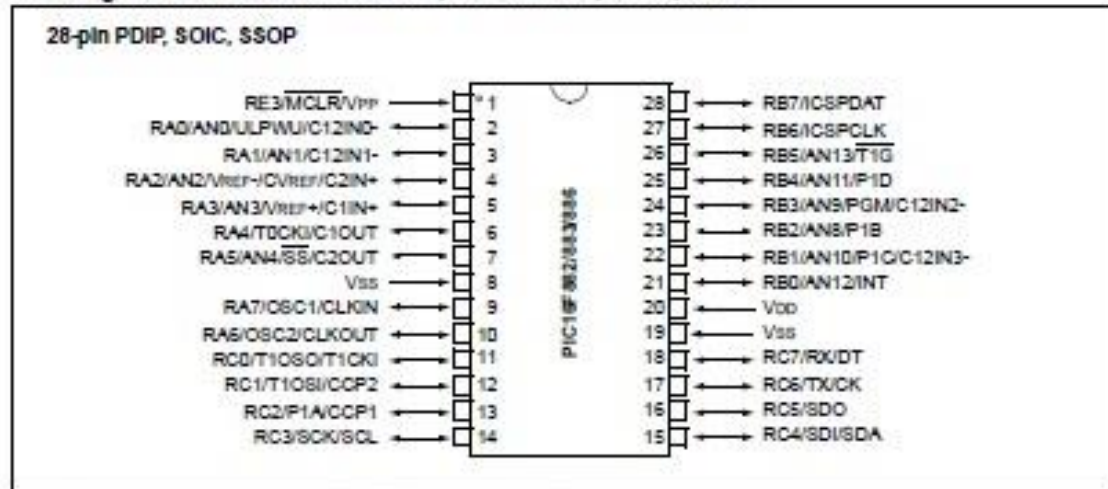


TABLE 1: PIC16F882/883/886 28-PIN SUMMARY (PDIP, SOIC, SSOP)

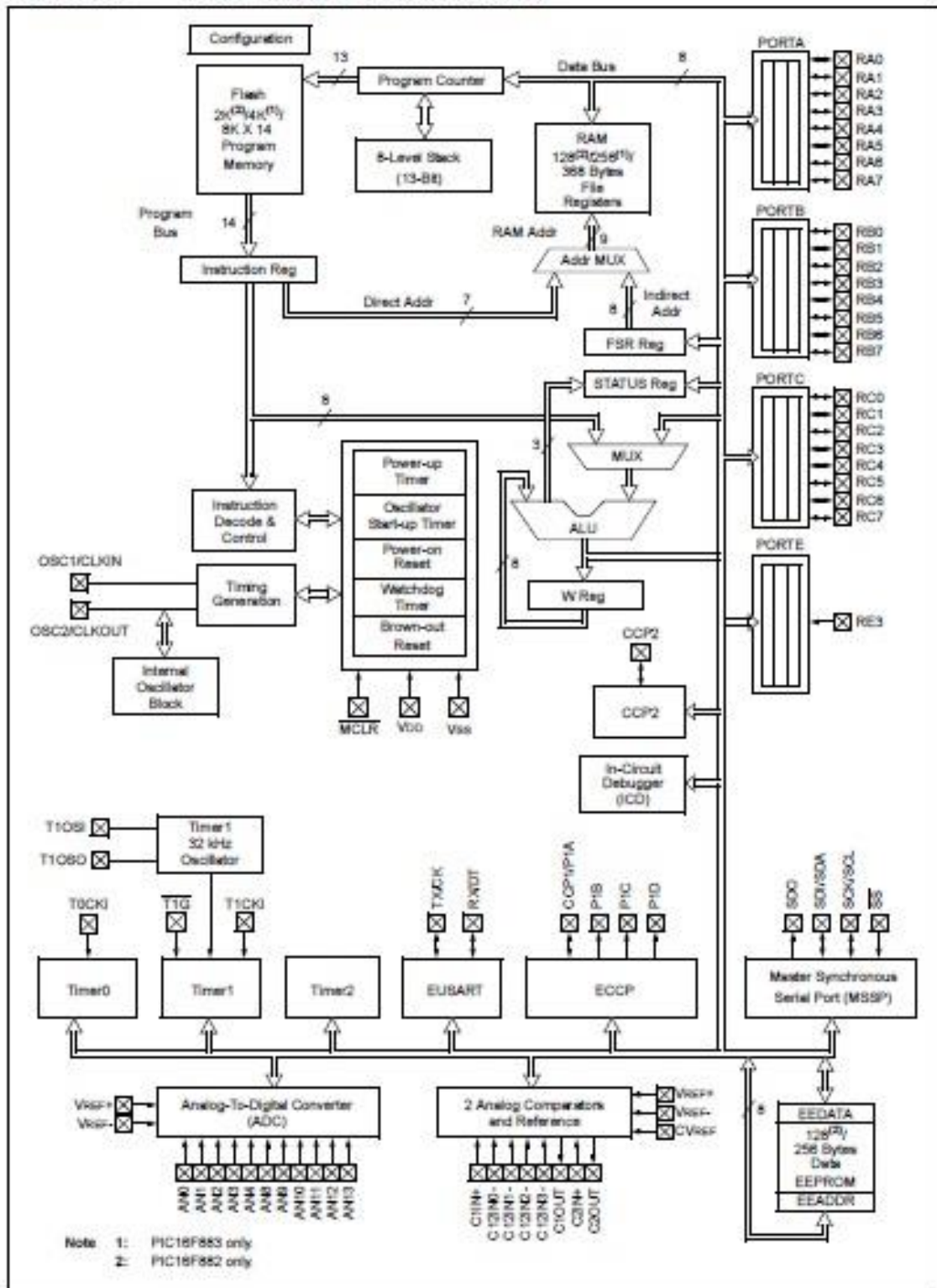
I/O	Pin	Analog	Comparators	Timers	ECPP	USART	MSSP	Interrupt	Pull-up	Basio
RA0	2	AN0/ULPWU	C12IN0-	—	—	—	—	—	—	—
RA1	3	AN1	C12IN1-	—	—	—	—	—	—	—
RA2	4	AN2	C2IN+	—	—	—	—	—	—	VREF-/CVREF
RA3	5	AN3	C1IN+	—	—	—	—	—	—	VREF+
RA4	6	—	C1OUT	T0CKI	—	—	—	—	—	—
RA5	7	AN4	C2OUT	—	—	—	SS	—	—	—
RA6	10	—	—	—	—	—	—	—	—	OSC2/CLKOUT
RA7	9	—	—	—	—	—	—	—	—	OSC1/CLKIN
RB0	21	AN12	—	—	—	—	—	IOC/INT	Y	—
RB1	22	AN10	C12IN3-	—	P1C	—	—	IOC	Y	—
RB2	23	AN8	—	—	P1B	—	—	IOC	Y	—
RB3	24	AN9	C12IN2-	—	—	—	—	IOC	Y	PGM
RB4	25	AN11	—	—	P1D	—	—	IOC	Y	—
RB5	26	AN13	—	T1G	—	—	—	IOC	Y	—
RB6	27	—	—	—	—	—	—	IOC	Y	ICSPCLK
RB7	28	—	—	—	—	—	—	IOC	Y	ICSPDAT
RC0	11	—	—	T1OSO/T1CKI	—	—	—	—	—	—
RC1	12	—	—	T1OSI	CCP2	—	—	—	—	—
RC2	13	—	—	—	CCP1/P1A	—	—	—	—	—
RC3	14	—	—	—	—	—	SCK/SCL	—	—	—
RC4	15	—	—	—	—	—	SDI/SDA	—	—	—
RC5	16	—	—	—	—	—	SDO	—	—	—
RC6	17	—	—	—	—	TX/CK	—	—	—	—
RC7	18	—	—	—	—	RX/DT	—	—	—	—
RE3	1	—	—	—	—	—	—	—	Y <sup>(1)</sup>	MCLR/VPP
—	20	—	—	—	—	—	—	—	—	VDD
—	8	—	—	—	—	—	—	—	—	VSS
—	19	—	—	—	—	—	—	—	—	VSS

Note 1: Pull-up activated only with external MCLR configuration.



# PIC16F882/883/884/886/887

FIGURE 1-1: PIC16F882/883/886 BLOCK DIAGRAM



# PIC16F882/883/884/886/887

TABLE 1-1: PIC16F882/883/886 PINOUT DESCRIPTION

Name	Function	Input Type	Output Type	Description
RA0/AN0/ULPWU/C12IN0-	RA0	TTL	CMOS	General purpose I/O.
	AN0	AN	—	A/D Channel 0 input.
	ULPWU	AN	—	Ultra Low-Power Wake-up input.
	C12IN0-	AN	—	Comparator C1 or C2 negative input.
RA1/AN1/C12IN1-	RA1	TTL	CMOS	General purpose I/O. Individually enabled pull-up.
	AN1	AN	—	A/D Channel 1 input.
	C12IN1-	AN	—	Comparator C1 or C2 negative input.
RA2/AN2/VREF-/CVREF-/C2IN+	RA2	TTL	CMOS	General purpose I/O.
	AN2	AN	—	A/D Channel 2.
	VREF-	AN	—	A/D Negative Voltage Reference input.
	CVREF	—	AN	Comparator Voltage Reference output.
	C2IN+	AN	—	Comparator C2 positive input.
RA3/AN3/VREF+/C1IN+	RA3	TTL	—	General purpose I/O.
	AN3	AN	—	A/D Channel 3.
	VREF+	AN	—	Programming voltage.
	C1IN+	AN	—	Comparator C1 positive input.
RA4/T0CKI/C1OUT	RA4	TTL	CMOS	General purpose I/O. Individually enabled pull-up.
	T0CKI	ST	—	Timer0 clock input.
	C1OUT	—	CMOS	Comparator C1 output.
RA5/AN4/SS-/C2OUT	RA5	TTL	CMOS	General purpose I/O.
	AN4	AN	—	A/D Channel 4.
	SS	ST	—	Slave Select input.
	C2OUT	—	CMOS	Comparator C2 output.
RA6/O8C2/CLKOUT	RA6	TTL	CMOS	General purpose I/O.
	O8C2	—	XTAL	Master Clear with internal pull-up.
	CLKOUT	—	CMOS	Fosc/4 output.
RA7/O6C1/CLKIN	RA7	TTL	CMOS	General purpose I/O.
	O6C1	XTAL	—	Crystal/Resonator.
	CLKIN	ST	—	External clock input/RC oscillator connection.
RB0/AN12/INT	RB0	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN12	AN	—	A/D Channel 12.
	INT	ST	—	External interrupt.
RB1/AN10/P1C/C12IN3-	RB1	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN10	AN	—	A/D Channel 10.
	P1C	—	CMOS	PWM output.
	C12IN3-	AN	—	Comparator C1 or C2 negative input.
RB2/AN8/P1B	RB2	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN8	AN	—	A/D Channel 8.
	P1B	—	CMOS	PWM output.

Legend: AN = Analog input or output    CMOS = CMOS compatible input or output    OD = Open Drain  
 TTL = TTL compatible input    ST = Schmitt Trigger input with CMOS levels  
 HV = High Voltage    XTAL = Crystal

# PIC16F882/883/884/886/887

TABLE 1-1: PIC16F882/883/886 PINOUT DESCRIPTION (CONTINUED)

Name	Function	Input Type	Output Type	Description
RB3/AN9/PGM/C12IN2-	RB3	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN9	AN	—	A/D Channel 9.
	PGM	ST	—	Low-voltage ICSP™ Programming enable pin.
	C12IN2-	AN	—	Comparator C1 or C2 negative input.
RB4/AN11/P1D	RB4	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN11	AN	—	A/D Channel 11.
	P1D	—	CMOS	PWM output.
RB5/AN13/T1G	RB5	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN13	AN	—	A/D Channel 13.
	T1G	ST	—	Timer1 Gate Input.
RB5/ICSPCLK	RB5	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	ICSPCLK	ST	—	Serial Programming Clock.
RB7/ICSPDAT	RB7	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	ICSPDAT	ST	CMOS	ICSP™ Data I/O.
RC0/T1O6O/T1CKI	RC0	ST	CMOS	General purpose I/O.
	T1O6O	—	CMOS	Timer1 oscillator output.
	T1CKI	ST	—	Timer1 clock input.
RC1/T1O8I/CCP2	RC1	ST	CMOS	General purpose I/O.
	T1O8I	ST	—	Timer1 oscillator input.
	CCP2	ST	CMOS	Capture/Compare/PWM2.
RC2/P1A/CCP1	RC2	ST	CMOS	General purpose I/O.
	P1A	—	CMOS	PWM output.
	CCP1	ST	CMOS	Capture/Compare/PWM1.
RC3/SCK/SCL	RC3	ST	CMOS	General purpose I/O.
	SCK	ST	CMOS	SPI clock.
	SCL	ST	OD	I <sup>2</sup> C™ clock.
RC4/SDI/SDA	RC4	ST	CMOS	General purpose I/O.
	SDI	ST	—	SPI data input.
	SDA	ST	OD	I <sup>2</sup> C data input/output.
RC5/SDO	RC5	ST	CMOS	General purpose I/O.
	SDO	—	CMOS	SPI data output.
RC6/TX/CK	RC6	ST	CMOS	General purpose I/O.
	TX	—	CMOS	EUSART asynchronous transmit.
	CK	ST	CMOS	EUSART synchronous clock.
RC7/RX/DT	RC7	ST	CMOS	General purpose I/O.
	RX	ST	—	EUSART asynchronous input.
	DT	ST	CMOS	EUSART synchronous data.
RE3/MCLR/V <sub>PP</sub>	RE3	TTL	—	General purpose input.
	MCLR	ST	—	Master Clear with internal pull-up.
	V <sub>PP</sub>	HV	—	Programming voltage.
V <sub>SS</sub>	V <sub>SS</sub>	Power	—	Ground reference.
V <sub>DD</sub>	V <sub>DD</sub>	Power	—	Positive supply.

Legend: AN = Analog input or output  
TTL = TTL compatible input  
HV = High Voltage

CMOS = CMOS compatible input or output  
ST = Schmitt Trigger input with CMOS levels  
XTAL = Crystal

OD = Open Drain



### 3.2. CPLD (XC2C64)



## XC2C64 CoolRunner-II CPLD

DS092 (v1.0) January 3, 2002

Advance Product Specification

### Features

- Optimized for 1.8V systems
  - Industry's fastest low power CPLD
  - Static Icc of less than 100 microamps at all times
  - Densities from 32 to 512 macrocells
- Industry's best 0.18 micron CMOS CPLD
  - Optimized architecture for effective logic synthesis
  - Multi-voltage I/O operation — 1.5V to 3.3V
- Available in multiple package options
  - 44-pin PLCC with 33 user I/O
  - 44-pin VQFP with 33 user I/O
  - 56-ball CP (0.05mm) BGA with 45 user I/O
  - 100-pin VQFP with 64 user I/O
- Advanced system features
  - Fastest in system programming
    - 1.8V ISP using IEEE 1532 (JTAG) interface
  - IEEE1149.1 JTAG Boundary Scan Test
  - Optional Schmitt trigger input (per pin)
  - Unsurpassed low power management
  - FZP 100% CMOS product term generation
  - Flexible clocking modes
    - Optional DualEDGE triggered registers
  - Global signal options with macrocell control
    - Multiple global clocks with phase selection per macrocell
    - Multiple global output enables
    - Global set/reset
  - Abundant product term clocks, output enables and set/resets
  - Efficient control term clocks, output enables and set/resets for each macrocell and shared across function blocks
  - Advanced design security
  - Open-drain output option for Wired-OR and LED drive
  - Optional bus-hold or weak pullup on selected I/O pins
  - Optional configurable grounds on unused I/Os
  - Mixed I/O voltages compatible with 1.5V, 1.8V, 2.5V, and 3.3V logic levels on all parts
  - PLA architecture
    - Superior pinout retention
    - 100% product term routability across function block
  - Hot pluggable
  - Design entry/verification using Xilinx and industry standard CAE tools

- Free software support for all densities using Xilinx WebPACK™ or WebFITTER™ tools
- Industry leading nonvolatile 0.18 micron CMOS process
- Guaranteed 1,000 program/erase cycles
- Guaranteed 20 year data retention

Refer to the CoolRunner™-II family data sheet for architecture description.

### Description

The CoolRunner-II 64-macrocell device is designed for both high performance and low power applications. This lends power savings to high-end communication equipment and high speed to battery operated devices. Due to the low power stand-by and dynamic operation, overall system reliability is improved.

This device consists of four Function Blocks inter-connected by a low power Advanced Interconnect Matrix (AIM). The AIM feeds 40 true and complement inputs to each Function Block. The Function Blocks consist of a 40 by 56 P-term PLA and 16 macrocells which contain numerous configuration bits that allow for combinational or registered modes of operation.

Additionally, these registers can be globally reset or preset and configured as a D or T flip-flop or as a D latch. There are also multiple clock signals, both global and local product term types, configured on a per macrocell basis. Output control signals include slew rate control, bus hold and open drain. A Schmitt trigger input is available on a per input pin basis. In addition to combinatorial and registered outputs, the registers may be configured as fast inputs.

Clocking is available on a global or Function Block basis. Three global clocks are available for all Function Blocks as a synchronous clock source. These clocks are additionally used to set or preset individual macrocell registers on power up. Local clocks are generated in specific Function Blocks and only available to macrocell registers in that Function Block.

A DualEDGE flip-flop feature is also available on a per macrocell basis. This feature allows performance where it is needed without raising the total power consumption of the entire device.

The CoolRunner-II 64-macrocell CPLD is I/O compatible with standard LVTTTL33 and LVCMOS18, 25, and 33 volts (see Table 1). This device is also 1.5 volt I/O compatible with the use of Schmitt inputs.

© 2002 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

DS092 (v1.0) January 3, 2002  
Advance Product Specification

[www.xilinx.com](http://www.xilinx.com)  
1-800-255-7778

1

## Fast Zero Power Design Technology

Xilinx CoolRunner-II CPLDs are fabricated on a 0.18 micron process technology which is derived from leading edge FPGA product development. CoolRunner-II CPLDs employ Fast Zero Power™ (FZP), a design technique that makes use of CMOS technology in both the fabrication and design methodology. FZP design technology employs a cascade of CMOS gates to implement sum of products instead of traditional sense amplifier methodology. Due to this technology, Xilinx CoolRunner-II CPLDs achieve both high performance and low power operation.

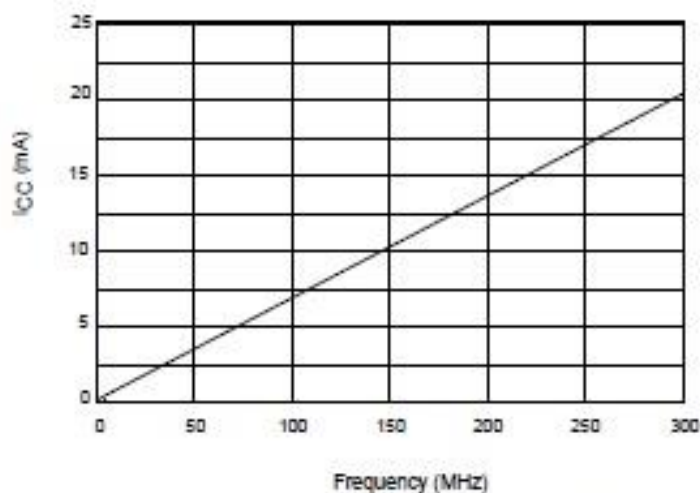
EIA/JESDSA standard for 3.3V applications that use an LVTTTL input buffer and Push-Pull output buffer. The LVCMOS standard is used in 3.3V, 2.5V, 1.8V applications. CoolRunner-II CPLDs are also 1.5V I/O compatible with the use of Schmitt inputs.

Table 1: I/O Standards for XC2C64

I/O Standard	Output $V_{CCIO}$	Input $V_{CCIO}$	Input $V_{REF}$	Board Termination Voltage $V_T$
LVTTTL	3.3V	3.3V	N/A	N/A
LVCMOS33	3.3	3.3	N/A	N/A
LVCMOS25	2.5	2.5	N/A	N/A
LVCMOS18	1.8	1.8	N/A	N/A

## Supported I/O Standards

The CoolRunner-II 64 macrocell features both LVCMOS and LVTTTL I/O implementations. See Table 1 for I/O standard voltages. The LVTTTL I/O standard is a general purpose



DS092\_00\_121001

Figure 1:  $I_{CC}$  vs Frequency

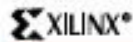
Table 2:  $I_{CC}$  vs Frequency (LVCMOS 1.8V  $T_A = 25^\circ\text{C}$ )<sup>(1)</sup>

	Frequency (MHz)										
	50	75	100	125	150	175	200	225	250	275	300
Typical $I_{CC}$ (mA)	3.6	5.5	7.3	9.1	10.8	12.5	14.2	15.9	17.5	19.2	20.8

**Notes:**

1. 16-bit up/down, resettable binary counter (one counter per function block).





## Absolute Maximum Ratings

Symbol	Description	Value	Units
$V_{CC}$	Supply voltage relative to ground	-0.5 to 2.0	V
$V_{CCIO}$	Supply voltage for output drivers	-0.5 to 4.0	V
$V_{IN}$	Input voltage relative to ground <sup>(1)</sup>	-0.5 to 4.0	V
$V_{TS}$	Voltage applied to 3-state output <sup>(1)</sup>	-0.5 to 4.0	V
$V_{STG}$	Storage Temperature (ambient)	-65 to +150	°C
$T_{SOL}$	Maximum Soldering temperature (10s @ 1/16in. = 1.5mm)	+ 60	°C
$T_J$	Junction Temperature	+ 50	°C

### Notes:

- Maximum DC undershoot below GND must be limited to either 0.5V or 10 mA, whichever is easiest to achieve. During transitions, the device pins may undershoot to -2.0V or overshoot to +4.5V, provided this over or undershoot lasts less than 10 ns and with the forcing current being limited to 200 mA.

## Recommended Operating Conditions

Symbol	Parameter		Min	Max	Units
$V_{CC}$	Supply voltage for internal logic and input buffers	Commercial $T_A = 0^{\circ}\text{C}$ to $+70^{\circ}\text{C}$	1.7	1.9	V
		Industrial $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	1.7	1.9	V
$V_{CCIO}$	Supply voltage for output drivers @ 3.3V operation		3.0	3.6	V
	Supply voltage for output drivers @ 2.5V operation		2.3	2.7	V
	Supply voltage for output drivers @ 1.8V operation		1.7	1.9	V
	Supply voltage for output drivers @ 1.5V operation <sup>(1)</sup>		1.4	1.6	V

### Notes:

- Use Input hysteresis for 1.5V LVCMOS.

## DC Electrical Characteristics (Over Recommended Operating Conditions)

Symbol	Parameter	Test Conditions	Min.	Max.	Units
$I_{CCSB}$	Standby current	$V_{CC} = 1.9\text{V}$ , $V_{CCIO} = 3.6\text{V}$		100	$\mu\text{A}$
$I_{CC}$	Dynamic current	$f = 1\text{ MHz}$			mA
		$f = 50\text{ MHz}$			mA
$C_{JTAG}$	JTAG input capacitance	$f = 1\text{ MHz}$			pF
$C_{CLK}$	Global clock input capacitance	$f = 1\text{ MHz}$			pF
$C_{IO}$	I/O capacitance	$f = 1\text{ MHz}$			pF

### LVC MOS 3.3V DC Voltage Specifications

Symbol	Parameter	Test Conditions	Min.	Max.	Units
$V_{CCIO}$	Input source voltage		3.0	3.6	V
$V_{IH}$	High level input voltage		2	$V_{CCIO} + 0.3V$	V
$V_{IL}$	Low level input voltage		-0.3	0.8	V
$V_{OH}$	High level output voltage	$I_{OH} = -8\text{ mA}, V_{CCIO} = 3V$	$V_{CCIO} - 0.4V$	-	V
		$I_{OH} = -0.1\text{ mA}, V_{CCIO} = 3V$	$V_{CCIO} - 0.2V$	-	V
$V_{OL}$	Low level output voltage	$I_{OL} = 8\text{ mA}, V_{CCIO} = 3V$	-	0.4	V
		$I_{OL} = 0.1\text{ mA}, V_{CCIO} = 3V$	-	0.2	V
$I_{IL}$	Input leakage current	$V_{IN} = 0V$ or $V_{CCIO}$ to 3.9V	-10	10	$\mu A$
$I_{IH}$	I/O High-Z leakage	$V_{IN} = 0V$ or $V_{CCIO}$ to 3.9V	-10	10	$\mu A$
$C_{JTAG}$	JTAG input capacitance	$f = 1\text{ MHz}$			pF
$C_{CLK}$	Global clock input capacitance	$f = 1\text{ MHz}$			pF
$C_{IO}$	I/O capacitance	$f = 1\text{ MHz}$			pF

### LVC MOS 2.5V DC Voltage Specifications

Symbol	Parameter	Test Conditions	Min.	Max.	Units
$V_{CCIO}$	Input source voltage		2.3	2.7	V
$V_{IH}$	High level input voltage		1.7	3.9	V
$V_{IL}$	Low level input voltage		-0.3	0.7	V
$V_{OH}$	High level output voltage	$I_{OH} = -8\text{ mA}, V_{CCIO} = 3V$	$V_{CCIO} - 0.4V$	-	V
		$I_{OH} = -0.1\text{ mA}, V_{CCIO} = 3V$	$V_{CCIO} - 0.2V$	-	V
$V_{OL}$	Low level output voltage	$I_{OL} = 8\text{ mA}, V_{CCIO} = 3V$	-	0.4	V
		$I_{OL} = 0.1\text{ mA}, V_{CCIO} = 3V$	-	0.2	V
$I_{IL}$	Input leakage current	$V_{IN} = 0V$ or $V_{CCIO}$ to 3.9V	-10	10	$\mu A$
$I_{IH}$	I/O High-Z leakage	$V_{IN} = 0V$ or $V_{CCIO}$ to 3.9V	-10	10	$\mu A$
$C_{JTAG}$	JTAG input capacitance	$f = 1\text{ MHz}$			pF
$C_{CLK}$	Global clock input capacitance	$f = 1\text{ MHz}$			pF
$C_{IO}$	I/O capacitance	$f = 1\text{ MHz}$			pF

## LVCMOS 1.8V DC Voltage Specifications

Symbol	Parameter	Test Conditions	Min.	Max.	Units
$V_{CCIO}$	Input source voltage		1.7	1.9	V
$V_{IH}$	High level input voltage		$0.7 \times V_{CCIO}$	3.9	V
$V_{IL}$	Low level input voltage		-0.3	$0.2 \times V_{CCIO}$	V
$V_{OH}$	High level output voltage	$I_{OH} = -8 \text{ mA}, V_{CCIO} = 3\text{V}$	$V_{CCIO} - 0.45$	-	V
		$I_{OH} = -0.1 \text{ mA}, V_{CCIO} = 3\text{V}$	$V_{CCIO} - 0.2$	-	V
$V_{OL}$	Low level output voltage	$I_{OL} = 8 \text{ mA}, V_{CCIO} = 3\text{V}$	-	0.45	V
		$I_{OL} = 0.1 \text{ mA}, V_{CCIO} = 3\text{V}$	-	0.2	V
$I_{IL}$	Input leakage current	$V_{IN} = 0 \text{ or } V_{CCIO} \text{ to } 3.9\text{V}$	-10	10	$\mu\text{A}$
$I_{IH}$	I/O High-Z leakage	$V_{IN} = 0 \text{ or } V_{CCIO} \text{ to } 3.9\text{V}$	-10	10	$\mu\text{A}$
$C_{JTAG}$	JTAG input capacitance	$f = 1 \text{ MHz}$			pF
$C_{CLK}$	Global clock input capacitance	$f = 1 \text{ MHz}$			pF
$C_{IO}$	I/O capacitance	$f = 1 \text{ MHz}$			pF

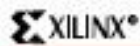
## 1.5V DC Voltage Specifications

Symbol	Parameter	Test Conditions	Min.	Max.	Units
$V_{CCIO}$	Input source voltage		1.4	1.6	V
$V_{IH}$	High level input voltage		$0.7 \times V_{CCIO}$	3.9	V
$V_{IL}$	Low level input voltage		-0.3	0.3	V
$V_{OH}$	High level output voltage	$I_{OH} = -8 \text{ mA}, V_{CCIO} = 3\text{V}$	$V_{CCIO} - 0.45$		V
		$I_{OH} = -0.1 \text{ mA}, V_{CCIO} = 3\text{V}$	$V_{CCIO} - 0.2$		V
$V_{OL}$	Low level output voltage	$I_{OL} = 8 \text{ mA}, V_{CCIO} = 3\text{V}$		0.4	V
		$I_{OL} = 0.1 \text{ mA}, V_{CCIO} = 3\text{V}$		0.2	V
$I_{IL}$	Input leakage current	$V_{IN} = 0 \text{ or } V_{CCIO} \text{ to } 3.9\text{V}$	-10	10	$\mu\text{A}$
$I_{IH}$	I/O High-Z leakage	$V_{IN} = 0 \text{ or } V_{CCIO} \text{ to } 3.9\text{V}$	-10	10	$\mu\text{A}$
$C_{JTAG}$	JTAG input capacitance	$f = 1 \text{ MHz}$			pF
$C_{CLK}$	Global clock input capacitance	$f = 1 \text{ MHz}$			pF
$C_{IO}$	I/O capacitance	$f = 1 \text{ MHz}$			pF



## AC Electrical Characteristics Over Recommended Operating Conditions

Symbol	Parameter	-4		-5		-7		Units
		Min.	Max.	Min.	Max.	Min.	Max.	
$T_{PD1}$	Propagation delay single p-term	-	3.7	-	4.6	-	6.7	ns
$T_{PD2}$	Propagation delay OR array	-	4.0	-	5.0	-	7.5	ns
$T_{SU1}$	Setup time fast	1.6	-	1.9	-	2.3	-	ns
$T_{SU2}$	Setup time	2.0	-	2.4	-	3.3	-	ns
$T_{H1}$	Fast Input register hold time	0	-	0	-	0	-	ns
$T_{H2}$	P-term hold time	0	-	0	-	0	-	ns
$T_{CO}$	Clock to output	-	3.0	-	3.9	-	6.0	ns
$T_{TOGGLE}$	Internal toggle rate	-	416	-	250	-	168	MHz
$F_{SYSTEM}$	Maximum system frequency	-	270	-	213	-	141	MHz
$F_{EXT}$	Maximum external frequency	-	200	-	159	-	108	MHz
$T_{PSU1}$	Fast Input register p-term clock setup time	1.0	-	1.2	-	1.5	-	ns
$T_{PSU2}$	P-term clock setup time	1.4	-	1.7	-	2.5	-	ns
$T_{PH1}$	Fast Input register p-term clock hold time	0.4	-	0.6	-	0.7	-	ns
$T_{PH2}$	P-term clock hold	0.3	-	0.5	-	0.5	-	ns
$T_{PCO}$	P-term clock to output	-	3.6	-	4.6	-	6.8	ns
$T_{OE}/T_{OD}$	Global OE to output enable/disable	-	3.9	-	4.9	-	7.0	ns
$T_{POE}/T_{POD}$	P-term OE to output enable/disable	-	4.3	-	5.3	-	7.3	ns
$T_{MOE}/T_{MOD}$	Macrocell driven OE to output enable/disable	-	4.9	-	6.3	-	9.2	ns
$T_{PAO}$	P-term set/reset to output valid	-	5.4	-	6.4	-	9.1	ns
$T_{AO}$	Global set/reset to output valid	-	5.5	-	6.5	-	9.3	ns
$T_{SUEC1}$	Fast Input register clock enable setup time	1.6	-	1.9	-	2.3	-	ns
$T_{SUEC2}$	Register clock enable setup time	2.0	-	2.4	-	3.3	-	ns
$T_{HEC1}$	Fast Input register clock enable hold time	0	-	0	-	0	-	ns
$T_{HEC2}$	Register clock enable hold time	0	-	0	-	0	-	ns
$T_{CW}$	Global clock pulse width High or Low	1.2	-	2.0	-	3.0	-	ns
$T_{PCW}$	P-term pulse width High or Low	4.0	-	5.0	-	7.5	-	ns
$T_{CONFIG}$	Configuration time							us



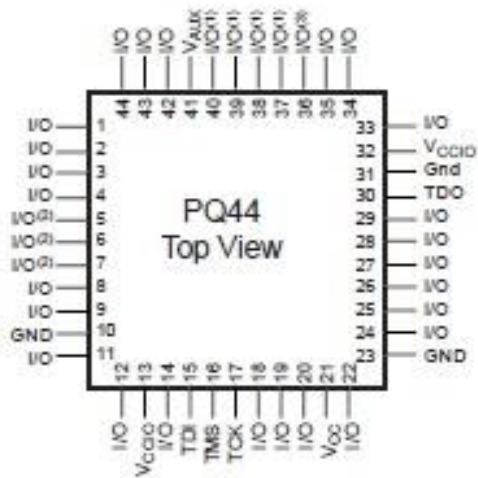
## Pin Descriptions

Function Block	Macro-cell	PC44	VQ44	CP56	VQ100
1	1	44	38	F1	13
1	2	43	37	E3	12
1	3	42	36	E1	11
1	4	-	-	-	10
1	5	-	-	-	9
1	6	-	-	-	8
1	7	-	-	D3	7
1	8	-	-	-	6
1(GTS1)	9	40	34	D1	4
1(GTS0)	10	39	33	C1	3
1(GTS3)	11	38	32	A3	2
1(GTS2)	12	37	31	A2	1
1(GRS)	13	36	30	B1	99
1	14	-	-	A1	97
1	15	-	-	C3	94
1	16	-	-	A4	92
2	1	1	39	G1	14
2	2	2	40	F3	15
2	3	-	-	-	16
2	4	-	-	-	17
2	5	3	41	H1	18
2	6	4	42	G3	19
2(GCK0)	7	5	43	J1	22
2(GCK1)	8	6	44	K1	23
2	9	-	-	K4	24
2(GCK2)	10	7	1	K2	27
2	11	-	-	-	28
2	12	8	2	K3	29
2	13	9	3	H3	30
2	14	-	-	K5	32
2	15	-	-	-	33
2	16	-	-	-	34

## Pin Descriptions (Continued)

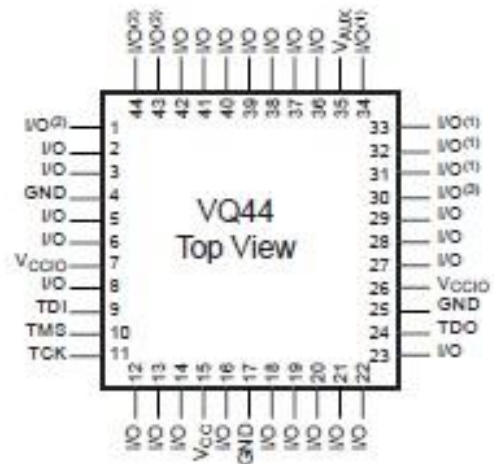
Function Block	Macro-cell	PC44	VQ44	CP56	VQ100
3	1	35	29	C4	91
3	2	34	28	A4	90
3	3	33	27	C5	89
3	4	-	-	A7	81
3	5	-	-	C8	79
3	6	29	23	A8	78
3	7	-	-	A9	77
3	8	-	-	-	76
3	9	-	-	A5	74
3	10	28	22	A10	72
3	11	27	21	B10	71
3	12	26	20	C10	70
3	13	-	-	D8	68
3	14	25	19	E8	67
3	15	24	18	D10	64
3	16	-	-	-	61
4	1	11	5	K6	35
4	2	12	6	H5	36
4	3	-	-	-	37
4	4	-	-	-	39
4	5	-	-	H7	40
4	6	-	-	-	41
4	7	14	8	H8	42
4	8	-	-	-	43
4	9	-	-	-	49
4	10	-	-	K8	50
4	11	18	12	H10	52
4	12	-	-	-	53
4	13	19	13	G10	55
4	14	20	14	-	56
4	15	22	16	F10	58
4	16	-	-	E10	60

Note: GTS = global output enable, GRS = global reset/set, GCK = global clock x



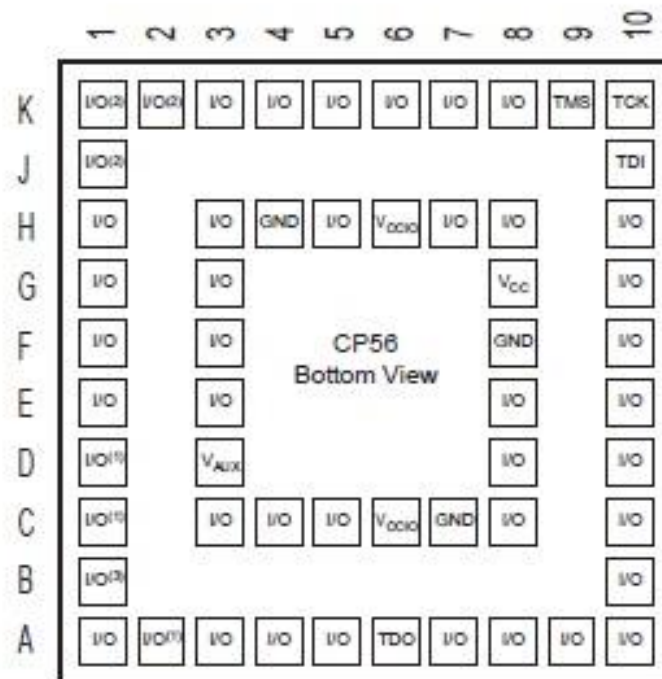
- (1) - Global Output Enable
- (2) - Global Clock
- (3) - Global Set/Reset

Figure 2: PQ44 Package



- (1) - Global Output Enable
- (2) - Global Clock
- (3) - Global Set/Reset

Figure 3: VQ44 Package



- (1) - Global Output Enable
- (2) - Global Clock
- (3) - Global Set/Reset

Figure 4: CP56 Package



### 3.3. DDS (AD9833)



## Low Power, 12.65 mW, 2.3 V to 5.5 V, Programmable Waveform Generator

Data Sheet

AD9833

#### FEATURES

Digitally programmable frequency and phase  
12.65 mW power consumption at 3 V  
0 MHz to 12.5 MHz output frequency range  
28-bit resolution: 0.1 Hz at 25 MHz reference clock  
Sinusoidal, triangular, and square wave outputs  
2.3 V to 5.5 V power supply  
No external components required  
3-wire SPI interface  
Extended temperature range:  $-40^{\circ}\text{C}$  to  $+105^{\circ}\text{C}$   
Power-down option  
10-lead MSOP package  
Qualified for automotive applications

#### APPLICATIONS

Frequency stimulus/waveform generation  
Liquid and gas flow measurement  
Sensory applications: proximity, motion,  
and defect detection  
Line loss/attenuation  
Test and medical equipment  
Sweep/clock generators  
Time domain reflectometry (TDR) applications

#### GENERAL DESCRIPTION

The AD9833 is a low power, programmable waveform generator capable of producing sine, triangular, and square wave outputs. Waveform generation is required in various types of sensing, actuation, and time domain reflectometry (TDR) applications. The output frequency and phase are software programmable, allowing easy tuning. No external components are needed. The frequency registers are 28 bits wide: with a 25 MHz clock rate, resolution of 0.1 Hz can be achieved; with a 1 MHz clock rate, the AD9833 can be tuned to 0.004 Hz resolution.

The AD9833 is written to via a 3-wire serial interface. This serial interface operates at clock rates up to 40 MHz and is compatible with DSP and microcontroller standards. The device operates with a power supply from 2.3 V to 5.5 V.

The AD9833 has a power-down function (SLEEP). This function allows sections of the device that are not being used to be powered down, thus minimizing the current consumption of the part. For example, the DAC can be powered down when a clock output is being generated.

The AD9833 is available in a 10-lead MSOP package.

#### FUNCTIONAL BLOCK DIAGRAM

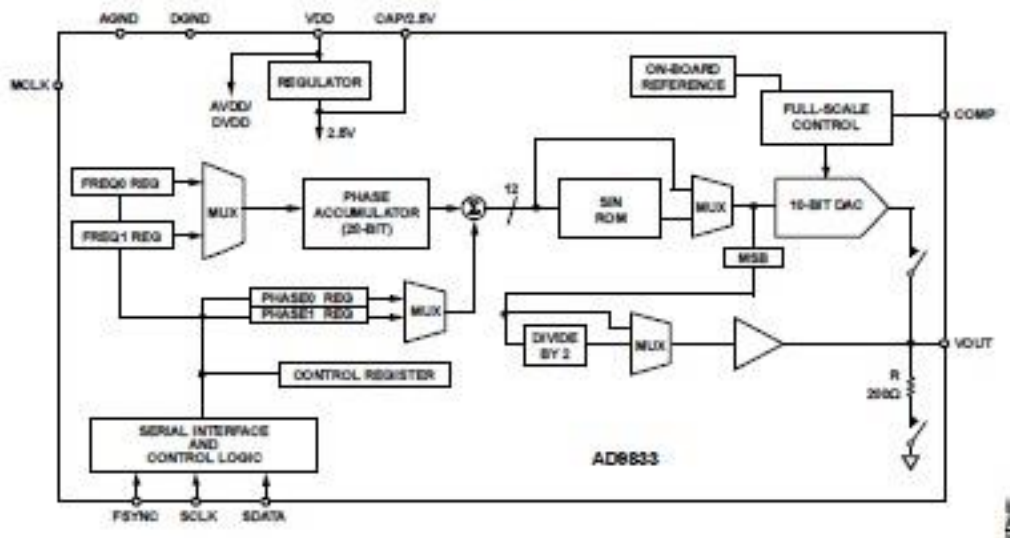


Figure 1.

REV. E

#### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringement of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2003–2012 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## Data Sheet

AD9833

## SPECIFICATIONS

VDD = 2.3 V to 5.5 V, AGND = DGND = 0 V,  $T_A = T_{MIN}$  to  $T_{MAX}$ ,  $R_{SET} = 6.8\text{ k}\Omega$  for VOUT, unless otherwise noted.

Table 1.

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SIGNAL DAC SPECIFICATIONS</b>					
Resolution		10		Bits	
Update Rate			25	MSPS	
VOUT Maximum		0.65		V	
VOUT Minimum		38		mV	
VOUT Temperature Coefficient		200		ppm/°C	
DC Accuracy					
Integral Nonlinearity		±1.0		LSB	
Differential Nonlinearity		±0.5		LSB	
<b>DDS SPECIFICATIONS (SFDR)</b>					
<b>Dynamic Specifications</b>					
Signal-to-Noise Ratio (SNR)	55	60		dB	$f_{MCLK} = 25\text{ MHz}$ , $f_{OUT} = f_{MCLK}/4096$
Total Harmonic Distortion (THD)		-66	-56	dBc	$f_{MCLK} = 25\text{ MHz}$ , $f_{OUT} = f_{MCLK}/4096$
<b>Spurious-Free Dynamic Range (SFDR)</b>					
Wideband (0 to Nyquist)		-60		dBc	$f_{MCLK} = 25\text{ MHz}$ , $f_{OUT} = f_{MCLK}/50$
Narrow-Band ( $\pm 200\text{ kHz}$ )		-78		dBc	$f_{MCLK} = 25\text{ MHz}$ , $f_{OUT} = f_{MCLK}/50$
Clock Feedthrough		-60		dBc	
Wake-Up Time		1		ms	
<b>LOGIC INPUTS</b>					
Input High Voltage, $V_{IH}$	1.7			V	2.3 V to 2.7 V power supply
	2.0			V	2.7 V to 3.6 V power supply
	2.8			V	4.5 V to 5.5 V power supply
Input Low Voltage, $V_{IL}$			0.5	V	2.3 V to 2.7 V power supply
			0.7	V	2.7 V to 3.6 V power supply
			0.8	V	4.5 V to 5.5 V power supply
Input Current, $I_{IN}/I_{IL}$			10	$\mu\text{A}$	
Input Capacitance, $C_{IN}$		3		pF	
<b>POWER SUPPLIES</b>					
VDD	2.3		5.5	V	$f_{MCLK} = 25\text{ MHz}$ , $f_{OUT} = f_{MCLK}/4096$
$I_{DD}$		4.5	5.5	mA	$I_{DD}$ code dependent; see Figure 7
Low Power Sleep Mode		0.5		mA	DAC powered down, MCLK running

<sup>1</sup> Operating temperature range is -40°C to +105°C; typical specifications are at 25°C.

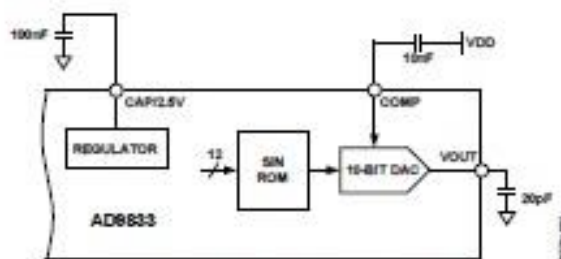


Figure 2. Test Circuit Used to Test Specifications



## AD9833

## Data Sheet

## TIMING CHARACTERISTICS

VDD = 2.3 V to 5.5 V, AGND = DGND = 0 V, unless otherwise noted.<sup>1</sup>

Table 2.

Parameter	Limit at T <sub>MIN</sub> to T <sub>MAX</sub>	Unit	Description
t <sub>1</sub>	40	ns min	MCLK period
t <sub>2</sub>	16	ns min	MCLK high duration
t <sub>3</sub>	16	ns min	MCLK low duration
t <sub>4</sub>	25	ns min	SCLK period
t <sub>5</sub>	10	ns min	SCLK high duration
t <sub>6</sub>	10	ns min	SCLK low duration
t <sub>7</sub>	5	ns min	FSYNC to SCLK falling edge setup time
t <sub>8 min</sub>	10	ns min	FSYNC to SCLK hold time
t <sub>8 max</sub>	t <sub>4</sub> - 5	ns max	
t <sub>9</sub>	5	ns min	Data setup time
t <sub>10</sub>	3	ns min	Data hold time
t <sub>11</sub>	5	ns min	SCLK high to FSYNC falling edge setup time

<sup>1</sup> Guaranteed by design, not production tested.

## Timing Diagrams

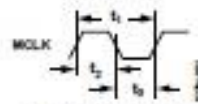


Figure 3. Master Clock

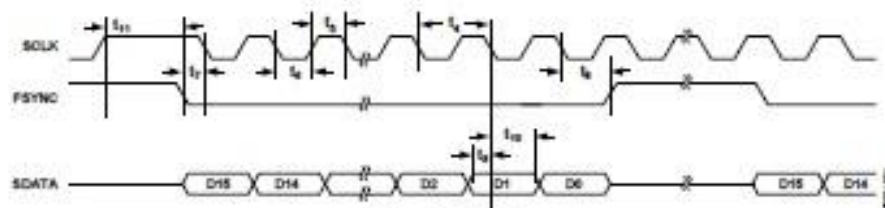


Figure 4. Serial Timing

## Data Sheet

AD9833

## ABSOLUTE MAXIMUM RATINGS

 $T_A = 25^{\circ}\text{C}$ , unless otherwise noted.

Table 3.

Parameter	Rating
VDD to AGND	-0.3 V to +6 V
VDD to DGND	-0.3 V to +6 V
AGND to DGND	-0.3 V to +0.3 V
CAP/2.5V	2.75 V
Digital I/O Voltage to DGND	-0.3 V to VDD + 0.3 V
Analog I/O Voltage to AGND	-0.3 V to VDD + 0.3 V
Operating Temperature Range	
Industrial (B Version)	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
MSOP Package	
$\theta_{JA}$ Thermal Impedance	206°C/W
$\theta_{JC}$ Thermal Impedance	44°C/W
Lead Temperature, Soldering (10 sec)	300°C
IR Reflow, Peak Temperature	220°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ESD CAUTION



**ESD (electrostatic discharge) sensitive device.** Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

**AD9833****Data Sheet****PIN CONFIGURATION AND FUNCTION DESCRIPTIONS**

Figure 5. Pin Configuration

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	COMP	DAC Bias Pin. This pin is used for decoupling the DAC bias voltage.
2	VDD	Positive Power Supply for the Analog and Digital Interface Sections. The on-board 2.5 V regulator is also supplied from VDD. VDD can have a value from 2.3 V to 5.5 V. A 0.1 $\mu$ F and a 10 $\mu$ F decoupling capacitor should be connected between VDD and AGND.
3	CAP/2.5V	The digital circuitry operates from a 2.5 V power supply. This 2.5 V is generated from VDD using an on-board regulator when VDD exceeds 2.7 V. The regulator requires a decoupling capacitor of 100 nF typical, which is connected from CAP/2.5V to DGND. If VDD is less than or equal to 2.7 V, CAP/2.5V should be tied directly to VDD.
4	DGND	Digital Ground.
5	MCLK	Digital Clock Input. DDS output frequencies are expressed as a binary fraction of the frequency of MCLK. The output frequency accuracy and phase noise are determined by this clock.
6	SDATA	Serial Data Input. The 16-bit serial data-word is applied to this input.
7	SCLK	Serial Clock Input. Data is clocked into the AD9833 on each falling edge of SCLK.
8	FSYNC	Active Low Control Input. FSYNC is the frame synchronization signal for the input data. When FSYNC is taken low, the internal logic is informed that a new word is being loaded into the device.
9	AGND	Analog Ground.
10	VOUT	Voltage Output. The analog and digital output from the AD9833 is available at this pin. An external load resistor is not required because the device has a 200 $\Omega$ resistor on board.

## Data Sheet

AD9833

## TYPICAL PERFORMANCE CHARACTERISTICS

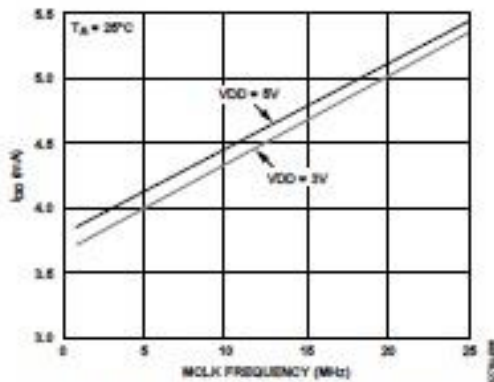
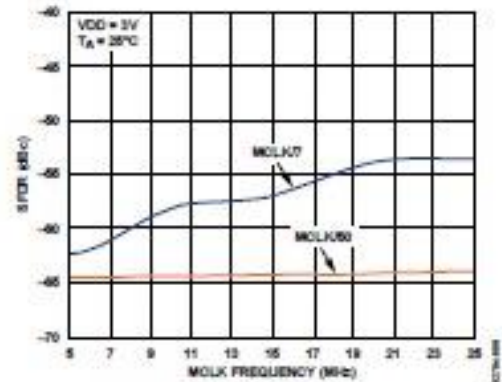
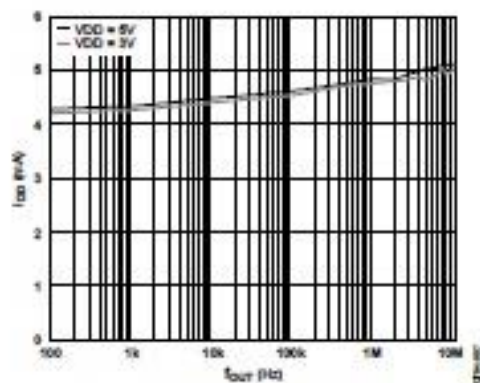
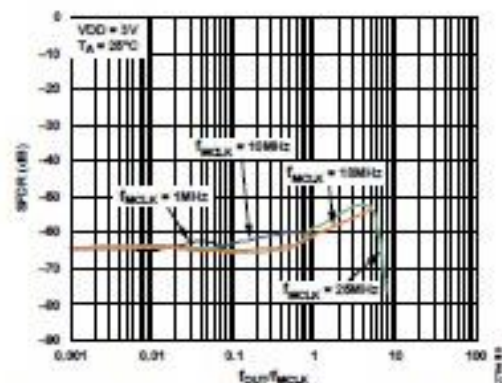
Figure 6. Typical Current Consumption ( $I_{DD}$ ) vs. MCLK Frequency for  $f_{OUT} = MCLK/10$ 

Figure 9. Wideband SFDR vs. MCLK Frequency

Figure 7. Typical  $I_{DD}$  vs.  $f_{OUT}$  for  $f_{MCLK} = 25$  MHz

### 3.4. Driver (IR2110)

International  
**IR** Rectifier

Data Sheet No. PD60147 rev.U

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

## HIGH AND LOW SIDE DRIVER

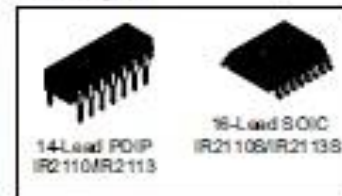
### Features

- Floating channel designed for bootstrap operation
- Fully operational to +500V or +600V
- Tolerant to negative transient voltage
- dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
- Separate logic supply range from 3.3V to 20V
- Logic and power ground  $\pm 5V$  offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

### Product Summary

$V_{OFFSET}$ (IR2110)	500V max.
(IR2113)	600V max.
$I_{O+/-}$	2A / 2A
$V_{OUT}$	10 - 20V
$t_{on/off}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

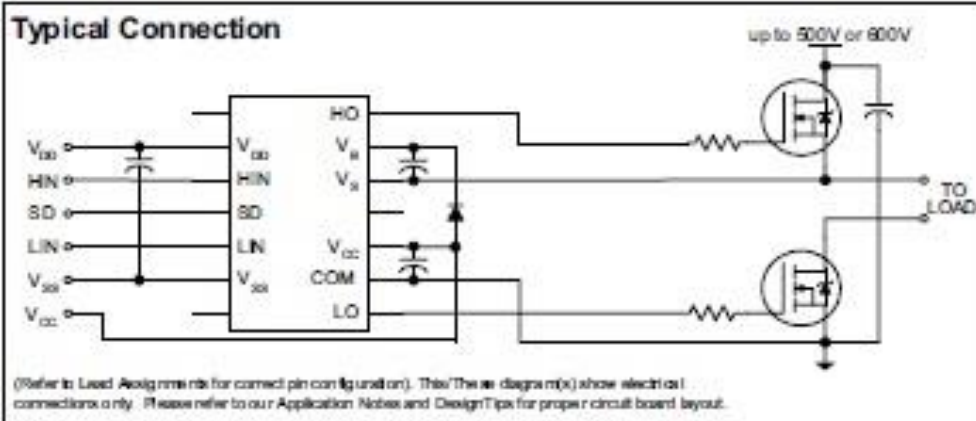
### Packages



### Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

### Typical Connection





## IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International  
IR Rectifier

## Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units
$V_B$	High side floating supply voltage (IR2110)	-0.3	525	V
	(IR2113)	-0.3	625	
$V_S$	High side floating supply offset voltage	$V_B - 25$	$V_B + 0.3$	
$V_{HO}$	High side floating output voltage	$V_S - 0.3$	$V_B + 0.3$	
$V_{CC}$	Low side fixed supply voltage	-0.3	25	
$V_{LO}$	Low side output voltage	-0.3	$V_{CC} + 0.3$	
$V_{DD}$	Logic supply voltage	-0.3	$V_{SS} + 25$	
$V_{SS}$	Logic supply offset voltage	$V_{CC} - 25$	$V_{CC} + 0.3$	
$V_{IN}$	Logic input voltage (HIN, LIN & SD)	$V_{SS} - 0.3$	$V_{DD} + 0.3$	Vhs
$dV/dt$	Allowable offset supply voltage transient (figure 2)	—	50	
$P_D$	Package power dissipation @ $T_A < +25^\circ\text{C}$	—	1.6	W
	(14 lead DIP)	—	1.25	
	(16 lead SOIC)	—	1.25	$^\circ\text{C/W}$
$R_{\theta JA}$	Thermal resistance, junction to ambient	—	75	
	(14 lead DIP)	—	100	$^\circ\text{C}$
	(16 lead SOIC)	—	100	
$T_J$	Junction temperature	—	150	
$T_S$	Storage temperature	-65	150	
$T_L$	Lead temperature (soldering, 10 seconds)	—	300	

## Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The  $V_S$  and  $V_{SS}$  offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
$V_B$	High side floating supply absolute voltage	$V_S + 10$	$V_S + 20$	V
$V_S$	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
$V_{HO}$	High side floating output voltage	$V_S$	$V_S$	
$V_{CC}$	Low side fixed supply voltage	10	20	
$V_{LO}$	Low side output voltage	0	$V_{CC}$	
$V_{DD}$	Logic supply voltage	$V_{SS} + 3$	$V_{SS} + 20$	
$V_{SS}$	Logic supply offset voltage	-5 (Note 2)	5	
$V_{IN}$	Logic input voltage (HIN, LIN & SD)	$V_{SS}$	$V_{DD}$	$^\circ\text{C}$
$T_A$	Ambient temperature	-40	125	

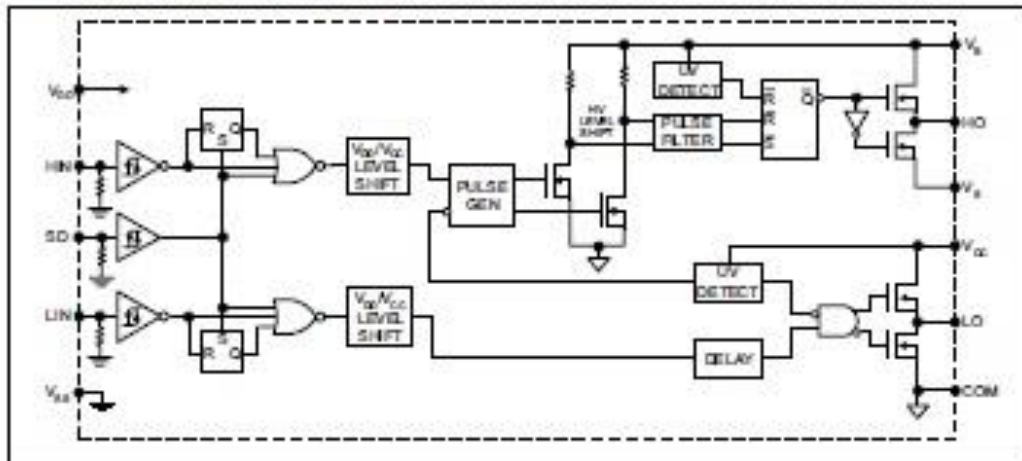
Note 1: Logic operational for  $V_S$  of -4 to +500V. Logic state held for  $V_S$  of -4V to  $-V_{SS}$ . (Please refer to the Design Tip DT97-3 for more details).

Note 2: When  $V_{DD} < 5V$ , the minimum  $V_{SS}$  offset is limited to  $-V_{DD}$ .

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International  
IR Rectifier


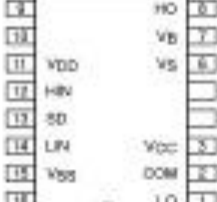


## Functional Block Diagram



## Lead Definitions

Symbol	Description
VDD	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
VSS	Logic ground
Vb	High side floating supply
HO	High side gate drive output
Vs	High side floating supply return
VCC	Low side supply
LO	Low side gate drive output
COM	Low side return

### Lead Assignments

 <p>14 Lead PDIP IR2110/IR2113</p>	 <p>16 Lead SOIC (Wide Body) IR2110S/IR2113S</p>
 <p>14 Lead PDIP w/o lead 4 IR2110-1/IR2113-1</p>	 <p>14 Lead PDIP w/o leads 4 &amp; 5 IR2110-2/IR2113-2</p>
Part Number	



### 3.5. Amperímetro por efecto hall (ACS712)



## ACS712

*Fully Integrated, Hall Effect-Based Linear Current Sensor IC  
with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor*

#### Features and Benefits

- Low-noise analog signal path
- Device bandwidth is set via the new FILTER pin
- 5  $\mu$ s output rise time in response to step input current
- 80 kHz bandwidth
- Total output error 1.5% at  $T_A = 25^\circ\text{C}$
- Small footprint, low-profile SOIC8 package
- 1.2 m $\Omega$  internal conductor resistance
- 2.1 kVRMS minimum isolation voltage from pins 1-4 to pins 5-8
- 5.0 V, single supply operation
- 66 to 185 mV/A output sensitivity
- Output voltage proportional to AC or DC currents
- Factory-trimmed for accuracy
- Extremely stable output offset voltage
- Nearly zero magnetic hysteresis
- Ratio-metric output from supply voltage



TÜV America  
Certificate Number:  
UBV 05 05 54214 010



Package: 8 Lead SOIC (suffix LC)



Approximate Scale 1:1



#### Description

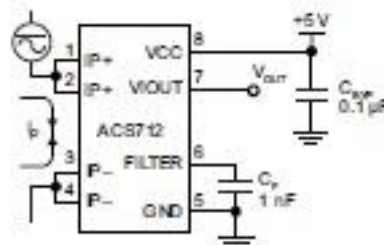
The Allegro™ ACS712 provides economical and precise solutions for AC or DC current sensing in industrial, commercial, and communications systems. The device package allows for easy implementation by the customer. Typical applications include motor control, load detection and management, switch-mode power supplies, and overcurrent fault protection. The device is not intended for automotive applications.

The device consists of a precise, low-offset, linear Hall circuit with a copper conduction path located near the surface of the die. Applied current flowing through this copper conduction path generates a magnetic field which the Hall IC converts into a proportional voltage. Device accuracy is optimized through the close proximity of the magnetic signal to the Hall transducer. A precise, proportional voltage is provided by the low-offset, chopper-stabilized BiCMOS Hall IC, which is programmed for accuracy after packaging.

The output of the device has a positive slope ( $>V_{OUT(Q)}$ ) when an increasing current flows through the primary copper conduction path (from pins 1 and 2, to pins 3 and 4), which is the path used for current sampling. The internal resistance of this conductive path is 1.2 m $\Omega$  typical, providing low power loss. The thickness of the copper conductor allows survival of

*Continued on the next page...*

#### Typical Application



Application 1. The ACS712 outputs an analog signal,  $V_{OUT}$ , that varies linearly with the uni- or bi-directional AC or DC primary sampled current,  $I_P$ , within the range specified.  $C_F$  is recommended for noise management, with values that depend on the application.

## ACS712

*Fully Integrated, Hall Effect-Based Linear Current Sensor IC  
with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor*

### Description (continued)

the device at up to 5× overcurrent conditions. The terminals of the conductive path are electrically isolated from the signal leads (pins 5 through 8). This allows the ACS712 to be used in applications requiring electrical isolation without the use of opto-isolators or other costly isolation techniques.

The ACS712 is provided in a small, surface mount SOIC8 package. The leadframe is plated with 100% matte tin, which is compatible with standard lead (Pb) free printed circuit board assembly processes. Internally, the device is Pb-free, except for flip-chip high-temperature Pb-based solder balls, currently exempt from RoHS. The device is fully calibrated prior to shipment from the factory.

### Selection Guide

Part Number	Packing*	T <sub>A</sub> (°C)	Optimized Range, I <sub>P</sub> (A)	Sensitivity, Sens (Typ) (mV/A)
ACS712ELCTR-05B-T	Tape and reel, 3000 pieces/reel	-40 to 85	±5	185
ACS712ELCTR-20A-T	Tape and reel, 3000 pieces/reel	-40 to 85	±20	100
ACS712ELCTR-30A-T	Tape and reel, 3000 pieces/reel	-40 to 85	±30	66

\*Contact Allegro for additional packing options.

### Absolute Maximum Ratings

Characteristic	Symbol	Notes	Rating	Units
Supply Voltage	V <sub>CC</sub>		8	V
Reverse Supply Voltage	V <sub>ROV</sub>		-0.1	V
Output Voltage	V <sub>IOUT</sub>		8	V
Reverse Output Voltage	V <sub>RIOUT</sub>		-0.1	V
Output Current Source	I <sub>IOUT(source)</sub>		3	mA
Output Current Sink	I <sub>IOUT(sink)</sub>		10	mA
Overcurrent Transient Tolerance	I <sub>P</sub>	1 pulse, 100 ms	100	A
Nominal Operating Ambient Temperature	T <sub>A</sub>	Range E	-40 to 85	°C
Maximum Junction Temperature	T <sub>J(max)</sub>		165	°C
Storage Temperature	T <sub>stg</sub>		-65 to 170	°C

### Isolation Characteristics

Characteristic	Symbol	Notes	Rating	Unit
Dielectric Strength Test Voltage*	V <sub>ISO</sub>	Agency type-tested for 60 seconds per UL standard 60950-1, 1st Edition	2100	VAC
Working Voltage for Basic Isolation	V <sub>WRB</sub>	For basic (single) isolation per UL standard 60950-1, 1st Edition	354	VDC or V <sub>pk</sub>
Working Voltage for Reinforced Isolation	V <sub>WRE</sub>	For reinforced (double) isolation per UL standard 60950-1, 1st Edition	184	VDC or V <sub>pk</sub>

\* Allegro does not conduct 60-second testing. It is done only during the UL certification process.

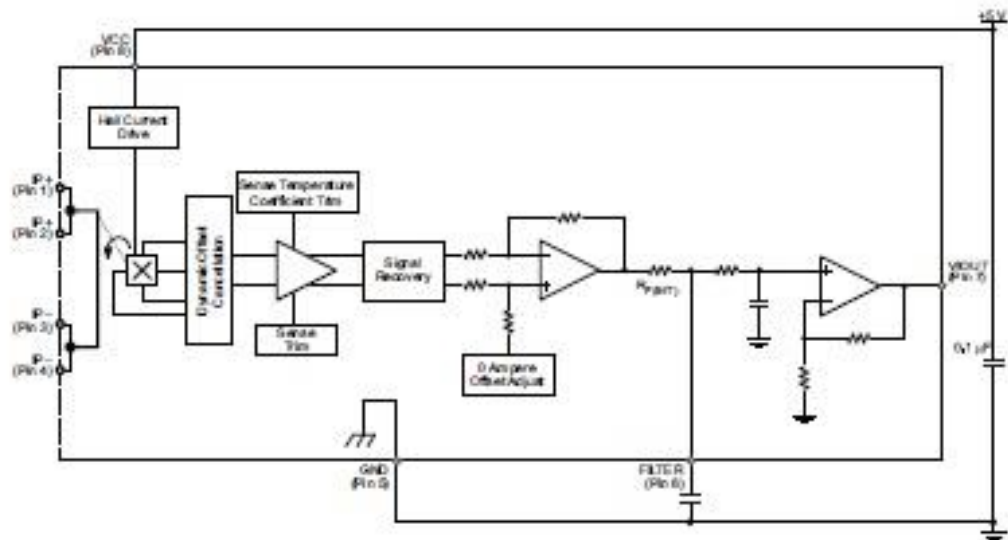
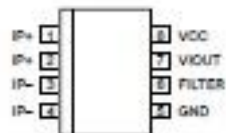
Parameter	Specification
Fire and Electric Shock	CAN/CSA-C22.2 No. 60950-1-03 UL 60950-1:2003 EN 60950-1:2001



Allegro Microsystems, LLC  
115 Northeast Cutoff  
Worcester, Massachusetts 01615-0036 U.S.A.  
1.508.853.5000; www.allegromicro.com

**ACS712**

*Fully Integrated, Hall Effect-Based Linear Current Sensor IC  
with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor*

**Functional Block Diagram****Pin-out Diagram****Terminal List Table**

Number	Name	Description
1 and 2	IP+	Terminals for current being sampled; fused internally
3 and 4	IP-	Terminals for current being sampled; fused internally
5	GND	Signal ground terminal
6	FILTER	Terminal for external capacitor that sets bandwidth
7	VOUT	Analog output signal
8	VCC	Device power supply terminal



## ACS712

*Fully Integrated, Hall Effect-Based Linear Current Sensor IC  
with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor*

COMMON OPERATING CHARACTERISTICS<sup>1</sup> over full range of  $T_A$ ,  $C_F = 1$  nF, and  $V_{CC} = 5$  V, unless otherwise specified

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
<b>ELECTRICAL CHARACTERISTICS</b>						
Supply Voltage	$V_{CC}$		4.5	5.0	5.5	V
Supply Current	$I_{CC}$	$V_{CC} = 5.0$ V, output open	—	10	13	mA
Output Capacitance Load	$C_{LOAD}$	V <sub>IOUT</sub> to GND	—	—	10	nF
Output Resistive Load	$R_{LOAD}$	V <sub>IOUT</sub> to GND	4.7	—	—	kΩ
Primary Conductor Resistance	$R_{PRIMARY}$	$T_A = 25^\circ\text{C}$	—	1.2	—	mΩ
Rise Time	$t_r$	$I_P = I_P(\text{max})$ , $T_A = 25^\circ\text{C}$ , $C_{OUT} = \text{open}$	—	3.5	—	μs
Frequency Bandwidth	$f$	−3 dB, $T_A = 25^\circ\text{C}$ , $I_P$ is 10 A peak-to-peak	—	80	—	kHz
Nonlinearity	$E_{LIN}$	Over full range of $I_P$	—	1.5	—	%
Symmetry	$E_{SYM}$	Over full range of $I_P$	98	100	102	%
Zero Current Output Voltage	$V_{IOUT(0)}$	Bidirectional; $I_P = 0$ A, $T_A = 25^\circ\text{C}$	—	$V_{CC} \times 0.5$	—	V
Power-On Time	$t_{PO}$	Output reaches 90% of steady-state level, $T_J = 25^\circ\text{C}$ , 20 A present on leadframe	—	35	—	μs
Magnetic Coupling <sup>2</sup>			—	12	—	G/A
Internal Filter Resistance <sup>3</sup>	$R_{F(INT)}$			1.7		kΩ

<sup>1</sup>Device may be operated at higher primary current levels,  $I_P$ , and ambient,  $T_A$ , and internal leadframe temperatures,  $T_A$ , provided that the Maximum Junction Temperature,  $T_J(\text{max})$ , is not exceeded.

<sup>2</sup>1 G = 0.1 mT.

<sup>3</sup> $R_{F(INT)}$  forms an RC circuit via the FILTER pin.

COMMON THERMAL CHARACTERISTICS<sup>1</sup>

			Min.	Typ.	Max.	Units
Operating Internal Leadframe Temperature	$T_A$	E range	-40	-	85	°C
					Value	Units
Junction-to-Lead Thermal Resistance <sup>2</sup>	$R_{\theta JL}$	Mounted on the Allegro ASEQ 712 evaluation board			5	°C/W
Junction-to-Ambient Thermal Resistance	$R_{\theta JA}$	Mounted on the Allegro 85-0322 evaluation board, includes the power consumed by the board			23	°C/W

<sup>1</sup>Additional thermal information is available on the Allegro website.

<sup>2</sup>The Allegro evaluation board has 1500 mm<sup>2</sup> of 2 oz. copper on each side, connected to pins 1 and 2, and to pins 3 and 4, with thermal vias connecting the layers. Performance values include the power consumed by the PCB. Further details on the board are available from the Frequently Asked Questions document on our website. Further information about board design and thermal performance also can be found in the Applications Information section of this datasheet.

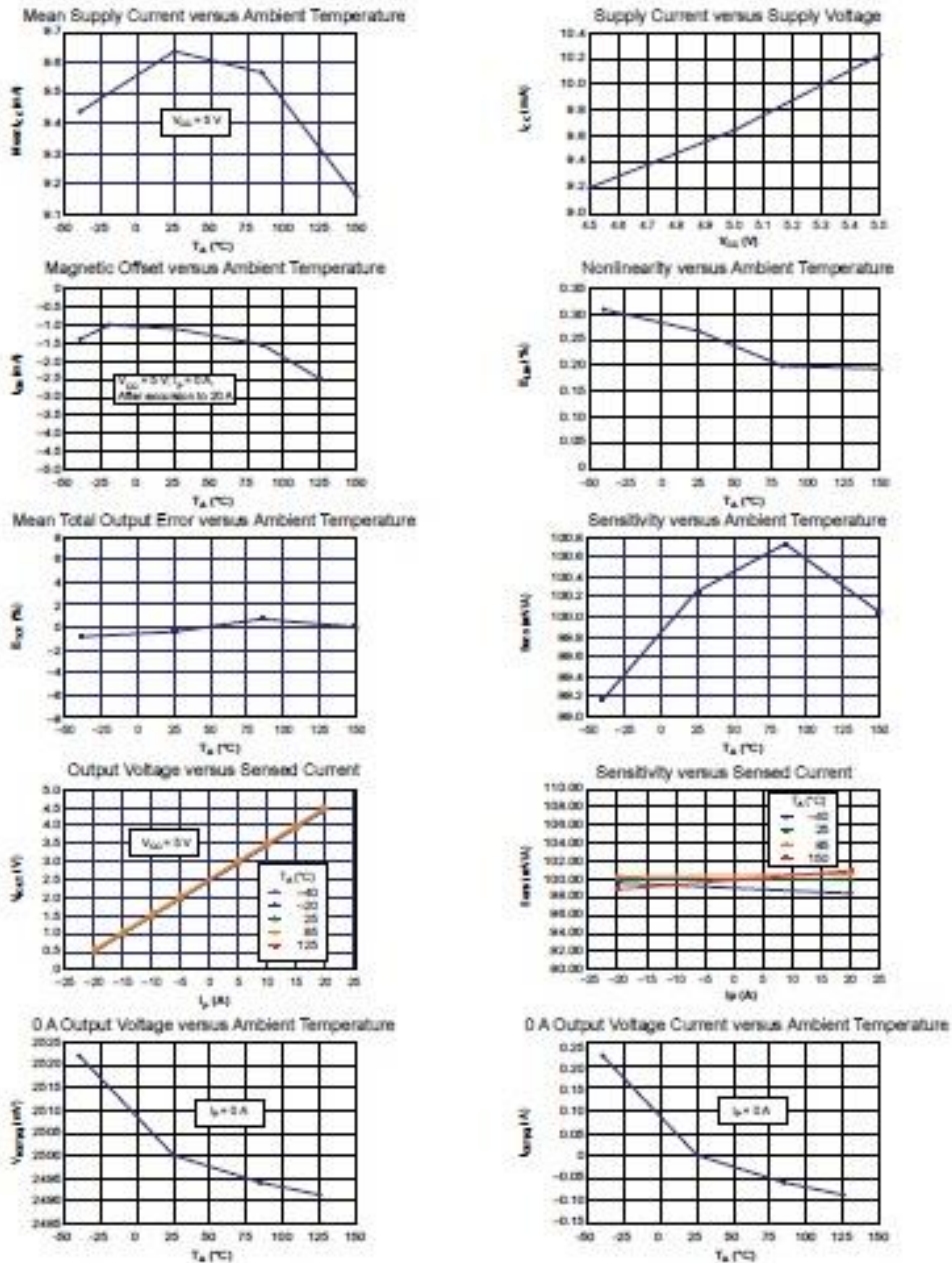


Allegro Microsystems, LLC  
115 Northeast Cutoff  
Worcester, Massachusetts 01615-0036 U.S.A.  
1.508.853.5000; www.allegromicro.com

## ACS712

Fully Integrated, Hall Effect-Based Linear Current Sensor IC  
with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor

## Characteristic Performance

 $I_P = 20\text{ A}$ , unless otherwise specified


Allegro MicroSystems, LLC  
115 Northeast Cut-off  
Worcester, Massachusetts 01615-0030 U.S.A.  
1-508-853-5000; www.allegromicro.com

## 3.6. Transistores (IRF3710)

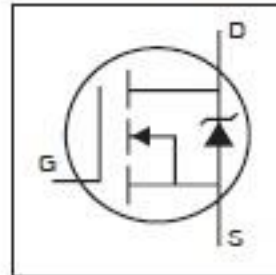
International  
**IR** Rectifier

PD - 91309C

**IRF3710**

HEXFET® Power MOSFET

- Advanced Process Technology
- Ultra Low On-Resistance
- Dynamic dv/dt Rating
- 175°C Operating Temperature
- Fast Switching
- Fully Avalanche Rated



$$V_{DS} = 100V$$

$$R_{DS(on)} = 23m\Omega$$

$$I_D = 57A$$

**Description**

Advanced HEXFET® Power MOSFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.

**Absolute Maximum Ratings**

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	57	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	40	
$I_{DM}$	Pulsed Drain Current ①	230	
$P_D @ T_C = 25^\circ C$	Power Dissipation	200	W
	Linear Derating Factor	1.3	W/°C
$V_{GS}$	Gate-to-Source Voltage	$\pm 20$	V
$I_{AR}$	Avalanche Current ②	28	A
$E_{AR}$	Repetitive Avalanche Energy ③	20	mJ
dv/dt	Peak Diode Recovery dv/dt ③	5.8	V/ns
$T_J$	Operating Junction and	-55 to + 175	°C
$T_{STG}$	Storage Temperature Range		
	Soldering Temperature, for 10 seconds	300 (1.6mm from case )	
	Mounting torque, 6-32 or M3 screw	10 lbf-in (1.1N-m)	

**Thermal Resistance**

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	0.75	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient	—	62	

www.irf.com

1  
09/15/09



## IRF3710

International  
RectifierElectrical Characteristics @  $T_J = 25^\circ\text{C}$  (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	100	—	—	V	$V_{GS} = 0V, I_D = 250\mu A$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.13	—	V/°C	Reference to $25^\circ\text{C}$ , $I_D = 1mA$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	23	mΩ	$V_{GS} = 10V, I_D = 28A$ ③
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS} = V_{GS}, I_D = 250\mu A$
$g_{fs}$	Forward Transconductance	32	—	—	S	$V_{DS} = 25V, I_D = 28A$ ④
$I_{DSS}$	Drain-to-Source Leakage Current	—	—	25	μA	$V_{DS} = 100V, V_{GS} = 0V$
		—	—	250	μA	$V_{DS} = 80V, V_{GS} = 0V, T_J = 150^\circ\text{C}$
$I_{GSS}$	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS} = 20V$
	Gate-to-Source Reverse Leakage	—	—	-100	nA	$V_{GS} = -20V$
$Q_g$	Total Gate Charge	—	—	130	nC	$I_D = 28A$
$Q_{gs}$	Gate-to-Source Charge	—	—	26	nC	$V_{DS} = 80V$
$Q_{gd}$	Gate-to-Drain ("Miller") Charge	—	—	43	nC	$V_{GS} = 10V$ , See Fig. 6 and 13
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	$V_{DS} = 50V$
$t_r$	Rise Time	—	58	—	ns	$I_D = 28A$
$t_{d(off)}$	Turn-Off Delay Time	—	45	—	ns	$R_G = 2.5\Omega$
$t_f$	Fall Time	—	47	—	ns	$V_{GS} = 10V$ , See Fig. 10 ⑤
$L_D$	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6mm (0.25in.) from package and center of die contact
$L_S$	Internal Source Inductance	—	7.5	—	nH	
$C_{iss}$	Input Capacitance	—	3130	—	pF	$V_{GS} = 0V$
$C_{oss}$	Output Capacitance	—	410	—	pF	$V_{DS} = 25V$
$C_{rss}$	Reverse Transfer Capacitance	—	72	—	pF	$f = 1.0MHz$ , See Fig. 5
$E_{AS}$	Single Pulse Avalanche Energy ⑥	—	10600	2800	mJ	$I_{AS} = 28A, L = 0.70mH$

## Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
$I_S$	Continuous Source Current (Body Diode)	—	—	57	A	MOSFET symbol showing the integral reverse p-n junction diode.
$I_{SM}$	Pulsed Source Current (Body Diode) ①	—	—	230	A	
$V_{SD}$	Diode Forward Voltage	—	—	1.2	V	$T_J = 25^\circ\text{C}, I_S = 28A, V_{GS} = 0V$ ②
$t_{rr}$	Reverse Recovery Time	—	140	220	ns	$T_J = 25^\circ\text{C}, I_R = 28A$
$Q_{rr}$	Reverse Recovery Charge	—	670	1010	nC	$di/dt = 100A/\mu s$ ③
$t_{on}$	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by $L_S + L_D$ )				

## Notes:

① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)

② Starting  $T_J = 25^\circ\text{C}$ ,  $L = 0.70mH$   
 $R_G = 25\Omega$ ,  $I_{AS} = 28A$ ,  $V_{GS} = 10V$  (See Figure 12)③  $I_{SD} \leq 28A$ ,  $di/dt \leq 380A/\mu s$ ,  $V_{DD} \leq V_{(BR)DSS}$ ,  
 $T_J \leq 175^\circ\text{C}$ ④ Pulse width  $\leq 400\mu s$ ; duty cycle  $\leq 2\%$ .

⑤ This is a typical value at device destruction and represents operation outside rated limits.

⑥ This is a calculated value limited to  $T_J = 175^\circ\text{C}$ .

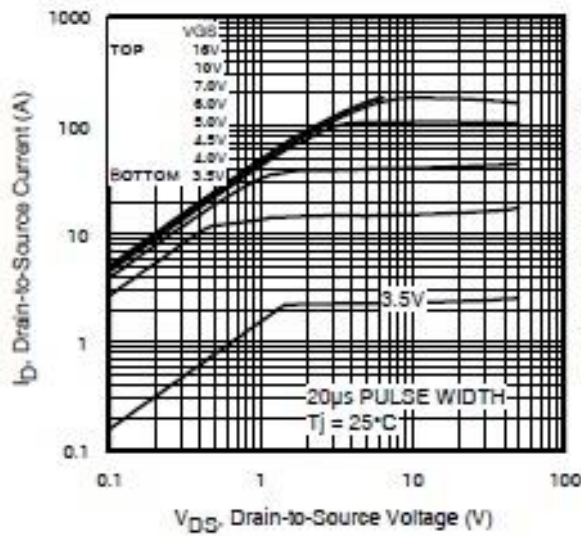


Fig 1. Typical Output Characteristics

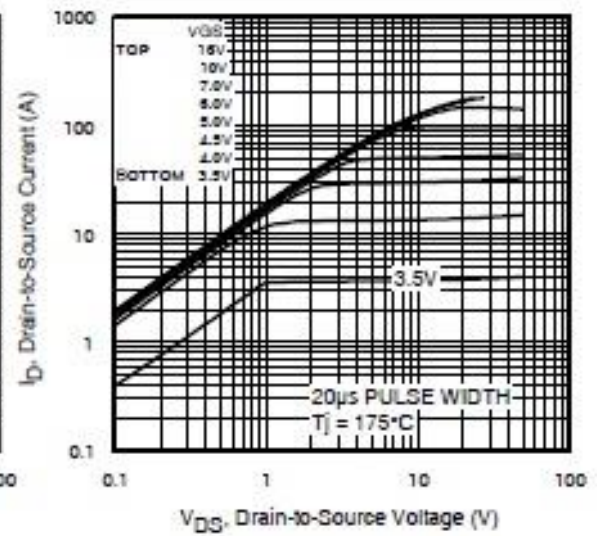


Fig 2. Typical Output Characteristics

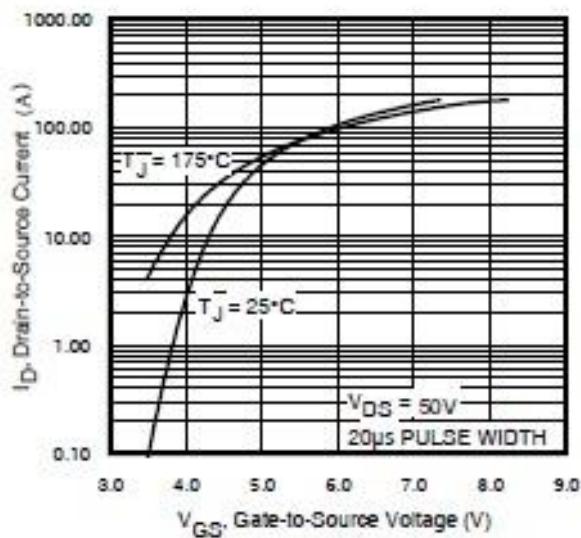


Fig 3. Typical Transfer Characteristics

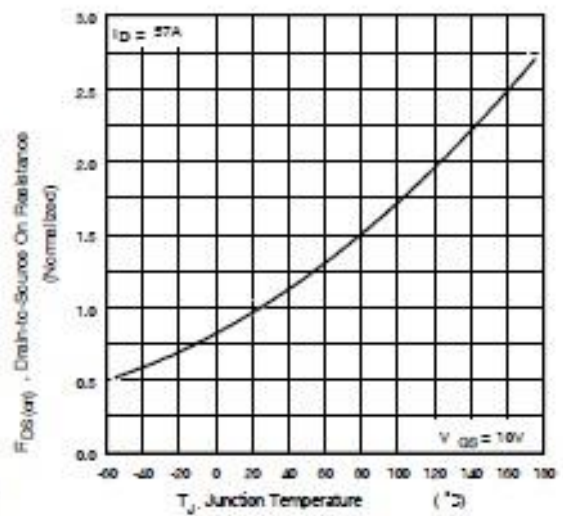


Fig 4. Normalized On-Resistance  
Vs. Temperature